

氏名・(本籍)	効ノ ケイフ 高野 恵輔 (岡山県)
学位の種類	博士(工学)
学位記番号	甲第工53号
学位授与の日付	令和3年9月10日
学位授与の要件	学位規則第4条第1項該当(課程博士)
学位論文題目	並列リコンフィギャラブル計算機システムに関する研究
論文審査委員	主査 教授 小畑 正貴 副査 教授 信吉 輝己 教授 島田 英之 准教授 上嶋 明 教授 佐藤 洋一郎 (岡山県立大学大学院情報系工学研究科)

論文内容の要旨

申請者氏名 高野 恵輔

論文題目

並列リコンフィギャラブル計算機システムに関する研究

研究背景

近年、半導体製造プロセスの微細化やシステムアーキテクチャの進化により、高性能かつ高機能なプロセッサや大容量かつ高速なメモリが搭載された計算機システムが一般に供給されるようになった。しかし、システムの性能向上とともに計算機で解決する問題も大規模化しておりさらなる性能向上が求められている一方、研究室や事務所などの中小規模の環境では、大規模計算機の導入は困難である。性能の高いワークステーションを1台導入するか、安価な計算機を複数用いて小規模のクラスタシステムを構築することがコスト面から選択されることが多い。また GPU や FPGA などのようなアクセラレータを使用するのも選択肢に入る。しかし、中小規模の環境では使用できる電力や計算機の設置場所等様々な面で制約がある。このため、想定する環境に点在する余剰資源を有効に活用でき、用途に合った構成がとれ多様な形態で構築できるシステムの実現が望まれる。

また、FPGA を含むシステムの運用を考えた時、CPU は C 言語を代表とするプログラミング言語を用いて処理を実現するのに対し、FPGA ではプログラミング言語とは根本的に言語のコンセプトが違うハードウェア記述言語を用いて処理を実現することになる。近年では、ハードウェア記述言語よりも抽象度の高い設計を行うために、高位合成やドメイン固有言語を使用する例も増加している。そこで、ハードウェアについて専門的な知識を持たない技術者が FPGA によるハードウェアアクセラレーションを扱うことのできる手法が求められている。

本研究では CPU や GPU, FPGA などの資源を複合して柔軟に、用途に応じたシステムを構築する手法として PC と FPGA を複合したシステムを提案し、有効性を示すことを目的とする。また、本研究で提案するシステムにおいて、FPGA アプリケーションを実装することを想定した Rust プログラミング言語を用いたハードウェア設計手法を提案し、本手法の有用性を示すことを目的とする。

リングネットワークによる PC-FPGA 複合システム

リングネットワークによる PC-FPGA 複合システムの設計と試作機の実装を行い、画像処理フィルタ、JPEG エンコーダといった各問題について並列・分散処理、マイグレーションを実行し、性能評価を行った。実装したシステムは図 1 に示す構成である。

基本性能の評価において、FPGA 回路のリソースは、静的回路が全体の 66.50% で実装できることを確認した。また、予備実験によりシステムの要求する(1) PC からローカル FPGA への呼出/データ転送(2) PC からリモート FPGA への呼出/データ転送(3) ローカル FPGA からリモート FPGA への呼出/データ転送(4) ローカル FPGA から PC への呼出/データ転送の機能を有していることを示した。PC-FPGA 間通信速度を測定した

結果,ローカル FPGA への転送には 332[MB/s],リモート FPGA への転送には 305[MB/s]で通信できることを示した.

画像フィルタにおいては,5つのフィルタを実装し,並列処理の実行,および処理のマイグレーション手法を提案し,以下のような有用性を示した.

マイグレーションにおいて,1台のPCから4台のFPGAに処理を要求した後,PCの電源を切ることによって消費電力を31.7[%]削減できることを示した.JPEGエンコーダにおいては,提案する分散処理手法を適用し,システムの性能を評価した.4000枚の処理においてPC-FPGAの比率が9:1の場合に実行時間が8.0[s]となり,実行時間は最も性能が良い結果となった.このことから,PCとFPGAの比率が10:0と0:10の場合の実行時間9.0[s]と80.1[s]から,PCとFPGAの性能比に近い値であることより,処理の実行時間から最適な分散比率を割り出すことができると考えられる.

以上の結果より,FPGAにより構築されたリングネットワークを持つPCとFPGAを複合したシステムの実現ができ,並列・分散処理において要求される状況に応じて性能向上できることを示した.使用したFPGAの機種が一種のみだったが,内部に実装した回路は可能な限り汎用のモジュールを使用しており,用途に応じて拡張ができ,またFPGAの機種にとらわれない柔軟な分散処理システムを構築できる可能性を持っている.以上より,提案するシステムの有効性を示した.

Ethernet ベースによる PC-FPGA 複合システム

リングネットワークで実装した PC-FPGA 複合システムの構成から,実装容易性や性能を考慮し,改めて

1. 問題の性質や電力要求に応じて,PCとFPGAの柔軟な分散利用が可能な構成を持ち,
2. Ethernet MII(Media Independent Interface)を持つFPGAに広く対応するFPGA間接続を可能とする,
3. 分散処理フレームワーク SparkとHLSによる分散処理が可能である,という3つの実装方針に基づき実装を行った.

PC-FPGA 複合システムの構成と分散処理の動作を図2に示す.JPEGエンコーダ,メディアンフィルタ,最短経路探索の3つの処理を,構築したPC-FPGA複合システムを用いて分散処理を行った.

メディアンフィルタの分散処理実行において実験結果を図3に示す.これにより,PC-FPGA複合システムはPCだけでもしくはFPGAだけで処理を行うよりも一部でも片方の資源に処理を分散させることで実行時間が短縮されることを確認した.また,分散比率をアプリケーション毎に変

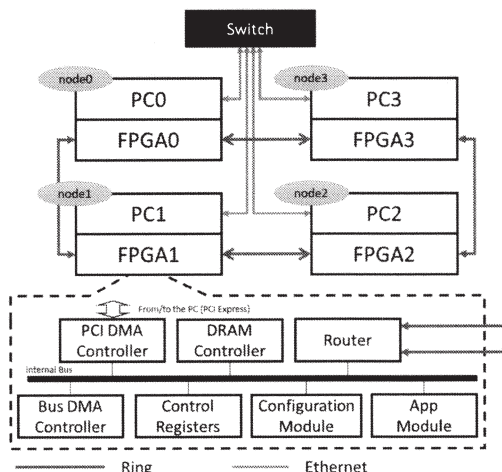


図1. リングネットワークによる PC-FPGA 複合システム

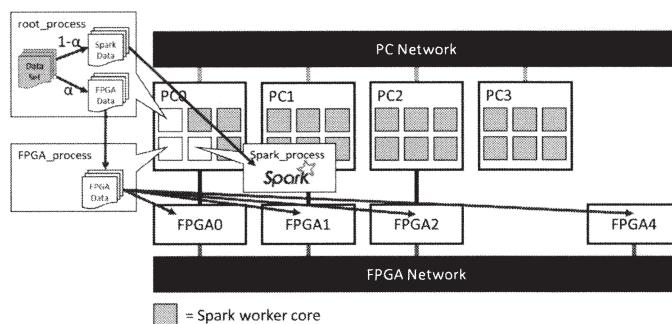


図2. Ethernet ベースによる PC-FPGA 複合システム

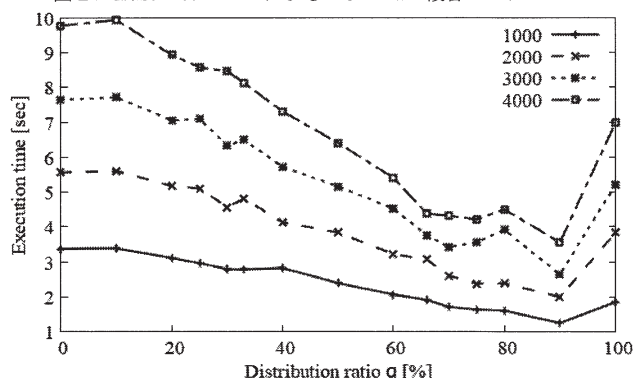


図3. メディアンフィルタの分散処理結果

更することで最短の実行時間で実行できた。さらに、管理用の PC と 4 台の FPGA だけの電力効率を重視する運用では 206.91[Ws]で処理を実行することができ、その場合は、システム全体で処理を実行したときの電力 412.20[Ws]と比較して電力効率に優れることを示した。

実験より最高性能で実行できる構成と電力効率を重視する構成を使い分けることができた点、また MII を使用してネットワークインタフェースが実装できた点、さらに分散処理を行うにあたり、HLS で実装した FPGA アプリケーションと Spark を併用して実行できた点より実装方針を満たしたシステムの提案ができたといえる。これにより、実装する FPGA ボードに依存しない内部回路構成をもち、アプリケーションの実装に同じソースコードを用いて運用ができるという利点が得られるシステムが実現できたといえる。

Rust によるハードウェア設計記述手法

Rust プログラミング言語を用いたハードウェア設計環境を設計・実装し評価を行った。また Rust の特徴である強力なコーディングチェック機能を提案するハードウェア設計環境においても適応する手法を提案・実装しこれにおいて評価を行った。実装したシステムの構成を図 4 に示す。

提案システムは、Verilog と比較して 2/3 ほどの行数での記述で実装でき、これにより効率の良い回路記述ができることが示した。また、山登り法のアルゴリズムを実装し、提案システムにより出力した回路記述が FPGA の実機に実装できることを確認した。

さらに提案する手法において、Rust プログラミング言語におけるコーディング規約を元にした警告と提案を行うことのできる能力があることを確認した。1 つ目は、命名に対して行うコーディング規約の適用である。次に 2 つ目は、多いオペランドの計算を記述した場合において長い記述であると検出する。次に 3 つ目は、同じ構文において、順次回路と組み合わせ回路が混合して記述されている場合、提案システムでは警告と提案を表示する。最後に 4 つ目は、構文において立ち上がり信号と立ち下がり信号が混在していることを警告する。これらより、複合システムにおけるアプリケーション記述に利用可能な機能を持つシステムが実現できたといえる。

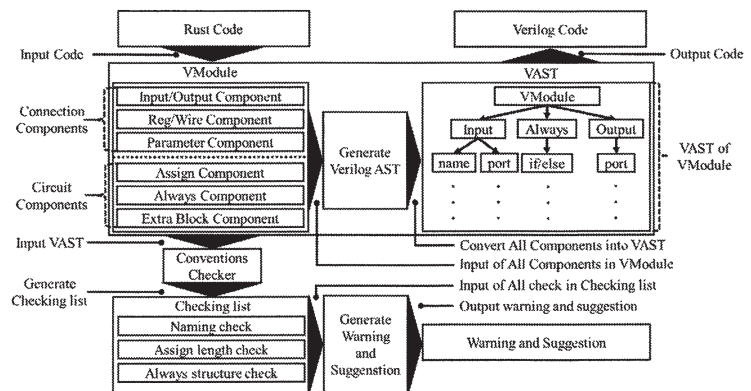


図 4. Rust によるハードウェア設計環境の全体構成図

まとめ

本研究では、中小規模の環境で使用することを想定した並列リコンフィギャラブル計算機システムの提案を行った。加えて、提案した並列・分散システムでの FPGA アプリケーション記述を想定して Rust による新たなハードウェア設計環境の提案を行った。今後の課題として、シリーズもしくは他ベンダーの FPGA を用いて PFH System を実装することで更に柔軟に利用できることを示す必要がある。また Rust プログラミング言語を用いたハードウェア設計手法については、実アプリケーションを実装して更に性能評価を行う必要がある。さらに本システムをベースに高位合成処理系の実装を行うことも視野に入れる必要がある。

本研究で得られた成果が、並列リコンフィギャラブル計算機の開発および利用の促進に寄与することが期待される。

発表論文：

1. 学術論文（査読有）

- [1] **Keisuke Takano**, Tetsuya Oda, Masaki Kohata,
“Design of a DSL for Converting Rust Programming Language into RTL”, Lecture Notes on Data Engineering and Communications Technologies, vol.47, pp.342-350, Jan 2020.
- [2] **Keisuke Takano**, Tetsuya Oda, Ryo Ozaki, Akira Uejima, Masaki Kohata,
“PC process migration using FPGAs in ring networks”, IEICE Communications Express (ComEX), pp.125-130, May 2020.
- [3] **Keisuke Takano**, Tetsuya Oda, Ryo Ozaki, Akira Uejima, Masaki Kohata,
“Implementation of Process Migration Method for PC-FPGA Hybrid System”, Lecture Notes in Networks and Systems, vol.159, pp.204-210, Oct 2020.

2. Proceedings

- [1] **Keisuke Takano**, Tetsuya Oda, Ryo Ozaki, Akira Uejima, Masaki Kohata,
“Implementation of Distributed Processing Using a PC-FPGA Hybrid System”, 2019 International Conference on Field Programmable Technology (ICFPT), pp.287-290, 11-13 Dec. 2019, Tianjin, China. (Peer-reviewed)
- [2] **Keisuke Takano**, Tetsuya Oda, Masaki Kohata,
“Approach of a Coding Conventions for Warning and Suggestion in Transpiler for Rust Convert to RTL”, 2020 IEEE 9th Global Conference on Consumer Electronics (GCCE), pp. 356 - 357, 13-16 Oct. 2020, Kobe, Japan. (Peer-reviewed)

3. 国内発表

- [1] 高野恵輔, 上嶋明, 尾崎亮, 小畑正貴,
“汎用 FPGA ボードによる PC-FPGA 複合クラスタの構想”, 信学技報, Vol.116, No.210, RECONF2016-33, pp.39-44, Sep. 2016, 富山.
- [2] 高野恵輔, 上嶋明, 尾崎亮, 小畑正貴,
“PC-FPGA 複合クラスタ上での動的部分再構成による画像処理”, 信学技報, Vol.117, No.46, RECONF2017-12, pp.57-62, May. 2017, 北海道.
- [3] 高野恵輔, 小田哲也, 小畑正貴,
“Rust から Verilog へのトランスパイラの実装”, 情報処理学会 研究報告マルチメディア通信と分散処理, 13 Sep. 2018, 岡山.

他 4 編

4. 著書

- [1] センサフュージョン技術の開発と応用事例 4 章
-PC と FPGA が混在するクラスタシステムの開発と画像処理回路への応用-
小畑正貴, 高野 恵輔, 上嶋明, 尾崎亮 (分担執筆).

審査結果の要旨

近年、研究室などにおいて GPU や FPGA を搭載した高性能 PC の導入が進んでいるが、それらを接続することで点在する異種計算資源をさらに有効活用することが可能となる。本論文は、複数の PC と FPGA を複合した 2 種の PC-FPGA 複合システムを提案し、それぞれ実装して評価を行っている。また、FPGA アプリケーションの作成を支援するハードウェア設計環境についても実装と評価を行っている。

研究の成果は大きく 3 つの項目から構成されており、それぞれ論文の第 3 章～第 5 章にまとめられている。第 3 章では、リングネットワークによる PC-FPGA 複合システムの設計と試作機の実装を行い、並列処理、分散処理、およびソフトウェアからハードウェアへの処理のマイグレーションを実行して評価した。分散処理においては、PC と FPGA への分散によって処理時間が短縮できることを示した。また、マイグレーションにおいて、1 台の PC から 4 台の FPGA に処理を要求した後、PC の電源を切ることで消費電力を 31.7[%]削減できることを示した。

第 4 章では、Ethernet ベースによる PC-FPGA 複合システムの設計と試作機の実装を行い、分散処理を実行して評価した。システムは、PC においては分散処理フレームワーク Spark を、FPGA においては高位合成を利用して、ソフトウェア/ハードウェアによる分散処理を実現している。JPEG エンコーダ、メディアフィルタ、最短経路探索の 3 つのアプリケーションに対して実験を行い、PC と FPGA に処理を分散させることで処理時間が短縮できることを示した。また、管理用 PC と 4 台の FPGA だけの運用では 206.91[Ws]の消費電力量で処理することができ、システム全体で処理を実行したときの 412.20[Ws]と比較して電力効率に優れることを示した。これより提案システムが、最高性能を重視する運用と電力効率を重視する運用を使い分けられることが示された。

第 5 章では、Rust プログラミング言語を用いたハードウェア設計環境を設計・実装し評価を行った。提案環境では、Verilog と比較して 2/3 ほどの行数での記述で実装でき、これにより効率の良い回路記述ができることを示した。さらに提案する設計環境には、Rust プログラミング言語におけるコーディング規約を元にしてユーザの回路記述への警告と提案を行うことのできる独自機能を実装した。このように本章で実現された設計環境は、複合システムにおけるアプリケーション開発支援に役立つものと考えられる。

本論文の成果は 3 編の論文として学術論文誌に掲載され（3 篇すべて申請者が筆頭著者）、2 件の国際会議で発表が行われている。得られた成果は、異種計算資源を有効に利用する複合計算機システムの開発および利用の促進に寄与できるものと期待される。これらのことを総合的に審査した結果、本論文は博士学位論文に値するものであり、論文提出者である高野恵輔は博士（工学）の学位を授与するのにふさわしいと認める。