

電源スイッチ方式による演算回路リーク電力の低減

田丸 啓吉・板野 伸次*

岡山理科大学工学部電子工学科

*京都大学大学院情報学研究科

(2005年9月26日受付、2005年11月7日受理)

1. まえがき

LSIの微細化、低電圧化により、リーク電力の増加が問題とされている。将来、1[V]以下の電源電圧ではリーク電力がアクティブ電力より大きくなることが報告されている[1]。リーク電流は電源が印加されている間常時流れるため、電源を切りリーク電流を切断することがリーク電力を減らす根本的な対策となる。このため電源スイッチを使い電源の制御をする方法が考えられる。従来のスイッチ技術として、MTCMOS[2]、SCCMOS[3]などが考案されている。これらは比較的規模の大きい機能ブロック単位に、外部信号によって電源スイッチを動作させ、待機時間のリーク電力を削減することを目的にしている。

本研究では将来の低電圧、低しきい値電圧微細MOS回路の64~128ビット加算回路程度の規模を対象とし、加算器の桁上げ信号の伝わるビット方向に対して回路を区切り、その区切った回路1個を1ブロックとし、ブロック単位でハードウェア的に電源のON、OFFを制御し、動作中の回路のサブスレッショルドリーク電力を低電力化する。主回路(加算器部分)の動作モデルとして、すべてのブロックの電源を同時にONさせ下位から順にOFFしていくモデルを検討する。このモデルを実現するための制御回路を考案し、考察した結果を以下に述べる。

2. 動作モデル

電源スイッチは図1に示すように、低しきい値CMOSで構成される論理回路の仮想接地線 V_{SSV} と接地線 V_{SS} の間にNMOSトランジスタ Q_S を挿入し、制御信号 S_{LN} で Q_S をOFFすることにより論理回路をアースから切り離して、電源 V_{DD} からアースに流れる電流を切断する。最初に全てのブロックの電源が同時にONし、順次OFFする動作について考える。 n 個(図の場合3個)のブロックが結合された状態とその1ブロックの内部を図2に示す。信号は入力、出力とブロック間を伝わる伝搬信号、状態信号からなる。ブロックの内部は、主回路、判定回路、制御回路からなる。入力は主回路と1個上位のブロックの状態を判定する判定回路に入力される。主回路からは出力と1個上位のブロックへの伝搬信号が出力される。入力により伝搬信号が確定される場合、判定回路より制御回路を通し上位ブロックのON、OFFを決める状態信号を生成し、電源スイッチの状態を決める。電源のON、OFFの対象は主回路と判定回路であり、制御回路は常時ON状態である。

主回路は図3のように、演算の準備段階の回路である補助演算回路と演算を行う主演算回路とに分けたものを考える。演算結果が出力されるまでの時間 T_D 、伝搬信号が伝わる時間 T_C 、補助回路の演算時間 T_{inc} 、レジスタへの書き込み時間 T_w とし、以下検討していく。図3のように T_{inc} と T_D を加えた時間が主回路の演算時間となり、補助演算回路を必要としない場合は $T_{inc} = 0$ とすればよい。

前に述べたように判定回路では主回路に入力される信号により上位隣接ブロックの状態を決定する。あるブロックで伝搬信号が確定したとき、判定回路の出力を1、確定しないとき0とする。判定回路の出力が1となればその上位隣接ブロックからも電源をOFFし、出力が0となれば電源をOFFしない。そのため、伝搬信号が確定する主回路の入力パターンが多いほど判定回路の動作する確立が増え有効になる。

最初に全ブロックの電源がONし、次に順次OFFさせるための制御回路4ブロック分を図4に示す。判定回路を図4ではFと表記する。主回路と判定回路(F)が電源電圧 V_{DD} と電源スイッチのNMOSを通してGND

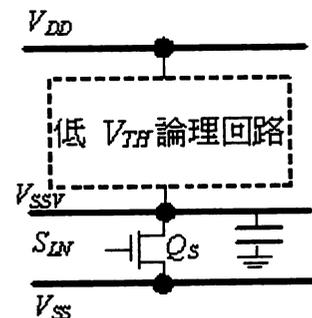


図1 電源スイッチ回路

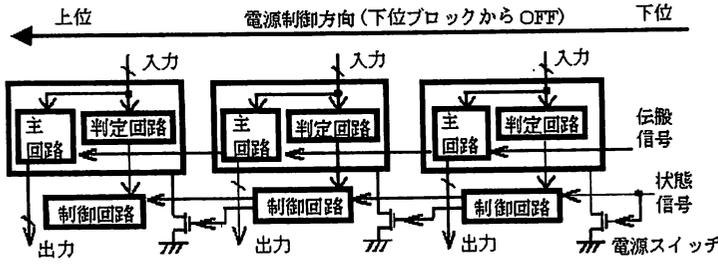


図2 全体構成図

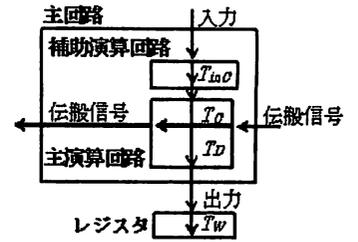


図3 時間の定義

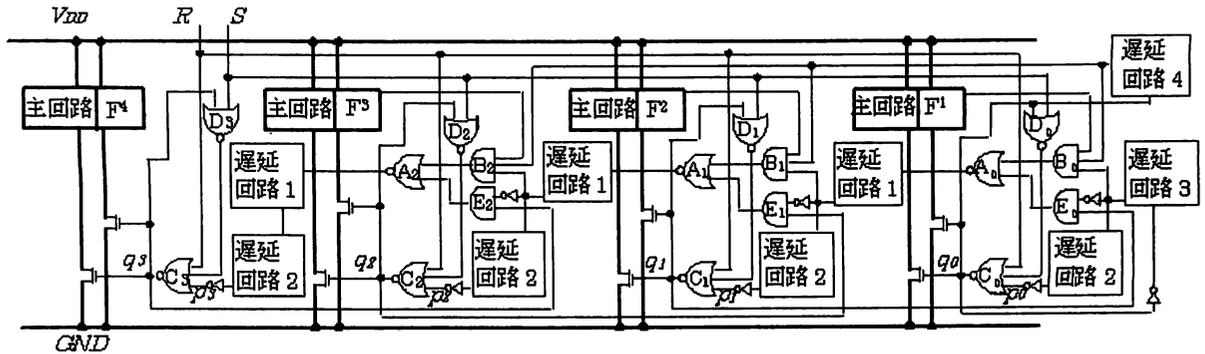


図4 制御回路の構成

につながっている。最下位ブロック以外の1ブロック分において、ゲートC、Dが電源スイッチ回路、ゲートA、B、Eが状態信号の伝搬回路に相当する。遅延回路1は1個上位のブロックの電源制御信号がブロック間を伝搬する速度を、演算信号の伝搬速度に同期させるための遅延である。遅延回路2は各ブロックの演算結果をラッチして正しい動作を保證するため、電源OFFの時間を調整する遅延回路である。図4でSは制御回路の動作、不動作を決定する信号で、始めにRで電源スイッチ部分(ゲートC、D)を初期化し、動作信号S=1とすると、ゲートD、Cと順に動作し、ゲートDの入力が”1、1”となると、フィードバックがかかるので、次にS=0とする。不動作時には遅延回路2の出力は1となっている(待機状態)。

動作開始時にはS=1により、電源スイッチ回路を通して全ブロックの主回路と判定回路の電源がONする。次にSの信号が遅延回路3を通して最下位のブロックの電源をOFFし、遅延回路1を通して上位の隣接ブロックをOFFしていく。遅延回路3は遅延回路1の機能と同じであるが、最下位ブロックには伝搬回路がないため遅延時間が異なる。遅延回路4は判定回路の出力されるまでの遅延で、判定回路が出力されるまで伝搬回路の動作をさせないようにしている。基本的な動作は、主回路の動作後、下位から電源がOFFしていく動作である。伝搬信号があるブロックで確定されたならば、判定回路によりそのブロックの1個上位のブロックからも電源をOFFしていく。最悪な場合は、最下位から1ブロックずつOFFしていくことになる。この最悪な場合のタイミングモデルを図5に示す。全ての電源が同時にONし、途中動作せずに、必ず最下位から最上位ブロックに向けて順次OFFさせていく場合は判定回路は必要なく、制御回路も図4のそれぞれのブロックのゲートA、B、EとNOT回路が不要となる。周期Tは次のようになる。

$$T = T_{InC} + T_D + (n-1) T_C + T_W$$

ここで、nはブロック数、 T_{InC} は補助回路の演算時間、 T_D は演算時間、 T_C は1ブロック伝搬時間、 T_W は書き込み時間である。

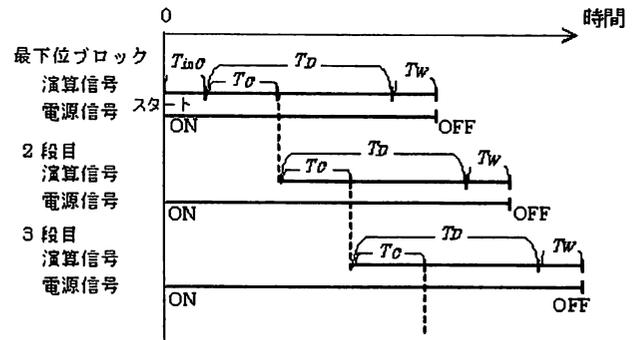


図5 タイミング図

3. 電力計算

電力計算の際に用いるパラメータを以下のように定める。ここで電源スイッチのリーク電流は十分小さいとして無視する。また1ゲートのリーク電力を、NMOS1個のリーク電力相当と仮定して計算する。

E_1 : 制御回路付き回路の全エネルギー

E_2 : 主回路のみで動作する回路の全エネルギー

P_{la} : 1ブロックの主回路リーク電力の総和

P_{lb} : 1ブロックの制御回路リーク電力の総和

P_{lc} : 1ブロックの判定回路リーク電力の総和

P_{ga} : 1ブロックの主回路アクティブ電力の総和

P_{gb} : 1ブロックの制御回路アクティブ電力の総和

P_{gc} : 1ブロックの判定回路アクティブ電力の総和

t_s : ゲートのスイッチ時間

P_g : 1ゲートのアクティブ電力(= $\alpha f C_L V_{DD}$, α : スイッチ率, f : 動作周波数, C_L : 負荷容量, V_{DD} : 電源電圧)

P_l : NMOS1個のリーク電力(= $I_0 10^{-V_{TH}/S} V_{DD}$, I_0 : $V_{TH}=0$ のときの電流, V_{TH} : しきい値電圧, S : Sファクター)

クター)

E_1 と E_2 を式で表すと下記になる。

$$E_1 = n(P_{ga} + P_{gb} + P_{gc})t_s + nP_{la}(T_D + T_W + (n-1)T_C/2 + T_{inC}) + nP_{lb}(T_D + T_W + (n-1)T_C + T_{inC}) + nP_{lc}(T_D + T_W + (n-1)T_C/2 + T_{inC}) \quad (1)$$

$$E_2 = nP_{ga} \cdot t_s + nP_{la}(T_D + T_W + (n-1)T_C + T_{inC}) \quad (2)$$

$$\Delta E = E_2 - E_1 \quad (3)$$

E_2 に対するエネルギー減少分の比 $\Delta E/E_2$ の式を(4)式に示す。制御回路と主回路のリーク電力の比 $\delta_{lba} = P_{la}/P_{lb}$ 、制御回路と判定回路のリーク電力の比 $\delta_{lbc} = P_{lc}/P_{lb}$ 、NMOS1個のリーク電力とゲートのアクティブ電力の比 $a = P_g/P_l$ をもちいて表す。 δ_{lba} はリーク電力の比であるが、制御回路と主回路のNMOS1個のリーク電力が等しい場合には、 δ_{lba} は制御回路と主回路の回路規模の比となる。同様に、 δ_{lbc} は制御回路と判定回路の回路規模の比となる。

$t_s = T$ (グリッチは無いとし、ゲートは1周期に1回スイッチする)を仮定し、 $(T_D + T_W)/T_C = T'$ とすると、(2)(3)式より次式が得られる。

$$\Delta E/E_2 = [\delta_{lba}(n-1)/2 - (\delta_{lbc} + 1)a(T' + n - 1 + (T_{inC}/T_C)) - \delta_{lbc}(T' + (n-1)/2 + (T_{inC}/T_C)) - (T' + n - 1 + (T_{inC}/T_C))] / [\delta_{lba}(a+1)(T' + n - 1 + (T_{inC}/T_C))] \times 100 \quad [\%] \quad (4)$$

δ_{lba} 、 δ_{lbc} は回路規模の比となるので、(4)式は電力のパラメータを用いずに各部分の回路規模(ゲート数)によりエネルギー減少分の比を表した式であると言える。 a が分子の負の項に含まれているので、1ゲートのアクティブ電力を1ゲートのリーク電力に比べ、できるだけ小さくすれば a が小さくなり、エネルギー差が大きくなるのがわかる。つまり、低エネルギー化となるのがわかる。電源をOFFするときに必ず最下位ブロックから順次OFFする動作の場合は、判定回路は不要なのでそれぞれの式において $\delta_{lbc} = 0$ とすればよい。アクティブ電力は電源電圧の2乗に比例するため、電源電圧を低くすればよい。従来は動作速度を落とさないためにしきい値電圧を下げることによるリーク電力の増加が問題になっていたが、今回は $\Delta E > 0$ を満たす範囲でアクティブ電力の減少、リーク電力の増加を行うことができる。

制御回路のしきい値を上げることにより、制御回路のリーク電力を削減できる。このとき主回路、判定回路のゲート1個分のリーク電力と制御回路のゲート1個分のリーク電力の大きさが異なる。そのため主回路と判定回路のゲート1個分のリーク電力(P_{lacg1})と制御回路のゲート1個分のリーク電力(P_{lbg1})の比を $b = P_{lacg1}/P_{lbg1}$ とすると、回路規模の比は δ_{lba}/b 、 δ_{lbc}/b で表される。この b を考慮するとエネルギーの減少分の比は次のようになる。

$$\Delta E / E_2 = \left[\frac{\delta_{lba} (n-1) T_c / 2b - (\delta_{lbc} + 1)(a/b)(T_D + T_W + (n-1) T_c + T_{inc}) - (\delta_{lbd}/b)(T_D + T_W + (n-1) T_c / 2 + T_{inc}) - (1/b)(T_D + T_W + (n-1) T_c + T_{inc})}{[(\delta_{lba}/b) (a+1) (T_D + T_W + (n-1) T_c + T_{inc})]} \right] \times 100 \quad [\%] \quad (5)$$

(4) (5) 式により、 n 、 δ_{lba}/b 、 T' を変化させグラフに示し、そのグラフからブロック数と制御回路と主回路の比をどのように変化させると低エネルギー化傾向になるかを検討する。 $V_{DD} = 0.5$ [V]、 $V_{TH} = 0.05$ [V]、 $\delta_{lbc}/b = 1$ 、 $T_W / t_d = 3$ 、 $T_{inc} / t_d = 2$ 、 $n = 10$ の場合を考え、 δ_{lba}/b 、 T_c 、 T_D 、 f 、 a のそれぞれのパラメータの関係を表1に示す (t_d : ゲート1個の遅延時間 [s])。 δ_{lba}/b を11→19と変化させたときのグラフを図6に示す。 $\Delta E / E_2 > 0$ となれば低エネルギー化となるので、図6から δ_{lba}/b が大きくなれば、低エネルギー化傾向となることがわかる。 δ_{lba}/b が大きくなるということは、1ブロックあたりの回路規模が大きくなり、1ブロックの電源を切る効果が上がるということになり、低エネルギー化傾向となるといえる。1ブロックが低エネルギー化となれば、それが n ブロックあるとすればそのブロック数分が低エネルギー化となる。

n 、 T' 、 f を変化したときの結果を検討する。 $V_{DD} = 0.5$ [V]、 $V_{TH} = 0.05$ [V]、 $f = 30, 40, 50, 100$ [MHz] ($n = 10$ の点) のとき、その他のパラメータは同じで (5)、(4) 式をグラフにした結果を図7、8に示す。図7からブロックの大きさ一定で n を変化させると制御できるブロックが増えることになり、エネルギー減少分の比が大きくなることわかる。図8で $T' = (T_D + T_W) / T_c$ より、伝搬時間 T_c が大きく、演算時間 T_D 、書き込み時間 T_W が小さければ $\Delta E / E_2$ が大きくなり δ_{lba}/b の下限値が下がる。動作周波数が低いもののほうが高いものに比べエネルギー減少分の比 $\Delta E / E_2$ が大きくなることわかる。つまり、1ブロックの動作時間が長くなったため、1ブロックあたりのリークエネルギーが増え、電源を切る効果が上がったため低エネルギー化傾向になったと言える。

表1 パラメータの関係

δ_{lba}/b	11	13	15	17	19
T_c / t_d	18	21	24	27	30
T_D / t_d	18	21	24	27	30
f [MHz]	56	48	42	37	33
a	2.9	2.5	2.2	1.9	1.7

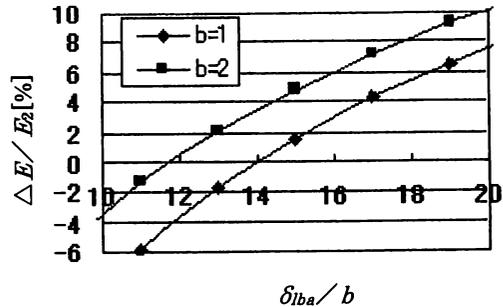


図6 $\Delta E / E_2$ と δ_{lba}/b の関係

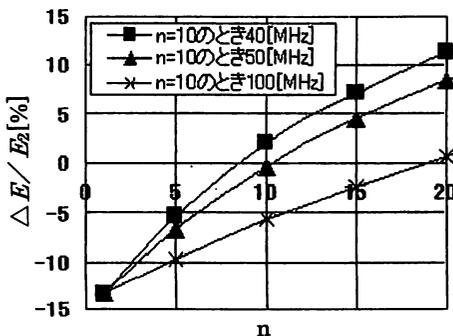


図7 $\Delta E / E_2$ と n の関係 ($V_{TH} = 0.05$ [V])

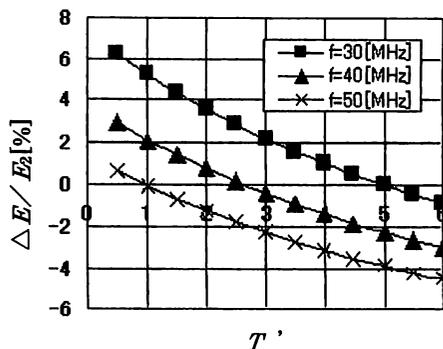


図8 $\Delta E / E_2$ と T' の関係 ($V_{TH} = 0.05$ [V])

4. ブロック数の検討

全体回路規模は一定としブロック数を x 倍したとき、1ブロックあたりの回路規模が $1/x$ となり、伝搬時間と演算時間が y 倍となる場合を考え、そのときのエネルギーを E_1' とする。ブロック数を増やすと1ブロックあたりの回路規模が減るので伝搬時間と演算時間が小さくなると仮定し、 x が2倍、3倍と変化すると y は $y=1$ で不変の場合と y が $1/x$ 倍づつとなる場合について検討する。まず、伝搬時間と演算時間が y 倍となる場合を考えると、エネルギー減少分の比は

$$\begin{aligned} \Delta E' / E_2' = & [\delta_{lba} (xn-1) T_c y / 2 \\ & - x(\delta_{lbc} a - a - 1)((T_D + (xn-1) T_c)y + T_W + T_{inc}) \\ & - x\delta_{lbc}((T_D + (xn-1) T_c / 2)y + T_W + T_{inc})] \\ & / [\delta_{lba} (a+1) ((T_D + (xn-1) T_c)y + T_W + T_{inc})] \times 100 \quad [\%] \quad (6) \end{aligned}$$

となる。

数値計算の各パラメータを表2に示す。(6)式により $\delta_{lba} \times n = 150$ の場合の $\Delta E' / E_2'$ と x, y の関係を図9に示す。図9から、ブロック数を大きくし1ブロックの規模を小さくすれば、電源が切れるブロックが多くなるため効率がよくなる ($x \leq 4$)。これは切る電力の大きさに見合った伝搬時間と演算時間になっているため効率が良くなっていると言える。さらにブロック数を多くし、最適値以上にすれば、1回に切る電力が少なく、制御回路の増加分の電力が加算されるので、効率が次第に悪くなっていくことがわかる。また、 y_1 と y_2 のカーブから伝搬時間と演算時間の減少率が大きいほど効率は悪くなることがわかる。図9より、 y の場合 $x=4$ のとき $\Delta E' / E_2'$ が最大となるので、 n と δ_{lba} の最適値は、それぞれ $n=4$ 、 $\delta_{lba} = 150/4=37.5$ となる。

表2 パラメータ

n	1
δ_{lba}	150
δ_{lbc}	1
T_c	$240 t_d$
T_D	$240 t_d$
T_W	$3 t_d$
T_{inc}	$2 t_d$
a ($f=40$ [MHz])	2.1

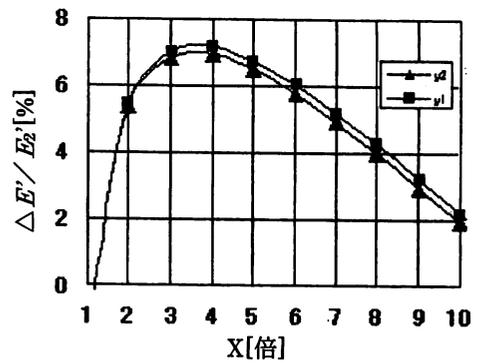


図9 $\Delta E' / E_2'$ と x, y の関係

5. あるブロックで伝搬信号が確定した場合の動作の検討

簡単のため、ある1ブロックの伝搬信号だけが確定したとする。そのあるブロックを i 番目とし、 $i+1$ 番目のブロックからOFFする場合のエネルギーの式を検討する。各ブロックの動作時間とリーク電力の関係を図10に示す。簡単のため、図10は P_{la} 、 T_c のみについて考慮した図である。図10の縦軸を各ブロックの電力、横軸を時間とすると、斜線と白色の部分の面積が最下位からOFFする場合のエネルギーとなる。斜線部分は $i+1$ 番目のブロックからもOFFする場合のエネルギー、横線部分は最下位からOFFする場合と全ブロックが動作する従来形の場合のエネルギー差となる。

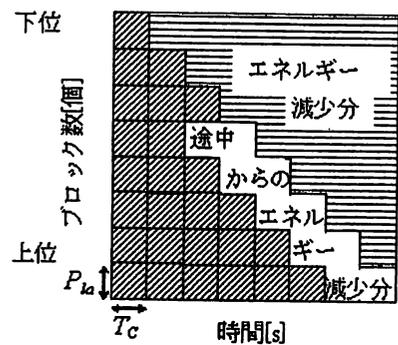


図10 1ブロックの伝搬信号が確定したときの主回路エネルギーの分布

図10は8ブロックで、3番目のブロックの伝搬信号が確定した場合である。白色部分は判定回路により4ブロック目からも電源OFFにしたときのエネルギー減少分である。全ブロックの伝搬信号が確定した場合（最善の場合）について考えると、全動作時間は $T_D + T_W$ となり、全エネルギーは

$$\begin{aligned} E_1 = & n(P_{ga} + P_{gb} + P_{gc}) t_s + n P_{la} (T_c + T_D + T_W + T_{inc}) - P_{la} T_c \\ & + n P_{lb} (T_D + T_W + (n-1) T_c + T_{inc}) + n P_{lc} (T_D + T_W + T_c + T_{inc}) \quad (7) \end{aligned}$$

となり、 $\Delta E / E_2$ は約14 [%] となった。

6. 制御回路動作シミュレーション

制御回路の動作を確認するシミュレーションを行った。CMOS 0.13 μm のパラメータを用いた。主回路として4ビット桁上げ伝搬加算器を用いた。判定回路の出力は0としている。つまり、すべての電源がONし、途中のブロックから電源をOFFすることなく最下位ブロックから順次電源をOFFしていく動作となる。図11より、リセット信号 (R) により出力 (電源制御信号) q 信号は0になり、すべてのブロックの電源がOFFとなっていることがわかる。 S 信号が立ち上がったときそれぞれのブロックのゲートC、Dを通り、 q_0 、 q_1 、 q_2 が同時に1 (すべてのブロックの電源が同時にON) となっている。遅延回路により演算時間分の遅延をさせ、最下位から順次 q の信号が0 (ブロックの電源がOFF) となっていくことがわかる。また、全てのブロックの電源が同時にONし、最下位ブロックの遅延回路3、2、NOTが動作するとp信号が1となりゲートCによりそのブロックの電源をOFFするとそのOFF信号が遅延回路3、2、NOTを動作させ初期状態に戻す。つまりp信号が1の間はそれぞれのブロックの制御回路のリセットを行っている時間である。演算が終了して最後の1ブロック分のリセット時間が終われば動作終了となる。

次に、1ブロックの q_0 信号、電源スイッチへ流れる電流と電圧、主回路 (加算) の出力を図12に示す。 q_0 信号により電源がONとなり、そのとき擬似電源線等に蓄えられた電荷が電源スイッチを通して流れている。その後、演算のための充放電の電流が流れて演算が終わると q_0 信号により電源スイッチに流れる電流が遮断され、電源をOFFしていることが確認できる。電源スイッチの遅延や雑音をできるだけ小さくするために電源スイッチの検討が重要である。

7. 具体例

桁上げ伝搬加算器64ビットについて検討する。図13より1ビット分のゲート数は12個、制御回路の1ブロックのゲート数は9個となる。また、1ビットの桁上げ伝搬加算器の演算時間 $T_D = 3 t_d$ [s]、伝搬時間 $T_C = 2 t_d$ [s]、 $T_{INC} = 0$ [s] となる。その他のパラメータを $T_W = 3 t_d$ [s]、 $V_{DD} = 0.4$ [V]、 $V_{TH} = 0.0$ [V]、 $f = 100$ [MHz] とする。これらのパラメータを使って、64ビット分の加算器を1から16までブロックに分割したときの $\Delta E'/E_0'$ とブロック数 x の関係を示したグラフを図14に示す。図14から4ブロックに分けたとき最大8%の低エネルギー化となることがわかる。全てのブロックの判定回路が動作する最善の場合では24%となった。

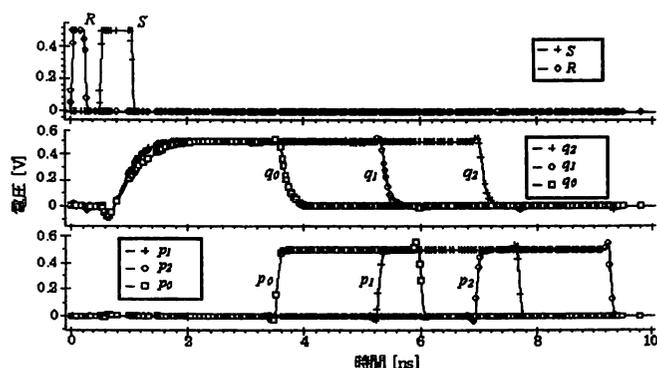


図11 制御回路のシミュレーション

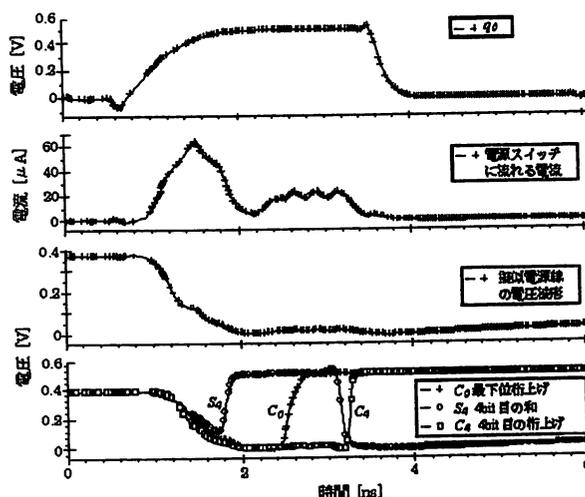


図12 1ブロックの動作シミュレーション

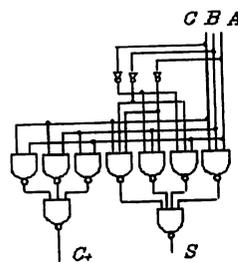


図13 1ビット桁上げ伝搬加算器

図14から4ブロックに分けたとき最大8%の低エネルギー化となることがわかる。全てのブロックの判定回路が動作する最善の場合では24%となった。

8. むすび

本論文では演算回路をブロックに分割し、ブロックの電源を順次OFFする動作の制御をさせるための制御回路を考案し、低エネルギー化の条件として、回路規模、伝搬時間、演算時間、動作周波数、ブロック数について検討した。(4)、(5)式によりエネルギー減少分の比とブロック数、回路規模の関係を図6~8に示した。(6)式によりブロック数の最適値を求めた。また(7)式により判定回路が動作した場合のエネルギー減少分を検討した。その検討した式を用いて、具体的に64ビット桁上げ伝搬加算器 ($V_{DD} = 0.4[V]$, $V_{TH} = 0[V]$, $f = 100$ [MHz]) について検討し、判定回路が機能しない最悪な条件で8%, 全てのブロックの判定回路が機能する最善の条件で24%のエネルギーの削減が可能となることが確認できた。また、動作終了後の待機時間が長ければスタンバイ時間が増え、さらに低エネルギー化となるといえる。今後の課題として、スイッチの性能の検討をしシミュレーションを行っていきたい。

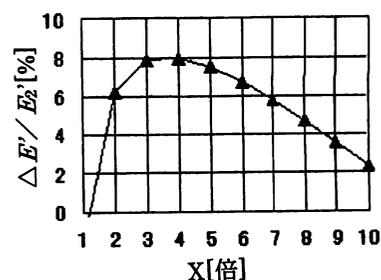


図14 $\Delta E' / E_2'$ と x の関係
(64ビット桁上げ伝搬加算器)

参考文献

- [1] K. Nose, M. Hirabayashi, H. Kawaguchi, S. Lee and T. Sakurai, "V_{TH}-Hopping Scheme to Reduce Subthreshold Leakage for Low-Power Processors", IEEE J. Solid-State Circuits, Vol. 37, no. 3, PP. 413-419, (March. 2002)
- [2] S. Mutoh, T. Douseki, Y. Matuya, T. Aoki, S. Shigematu and J. Yamada, "Power Supply High-Speed Digital Circuit Technology with Multithreshold Voltage CMOS", IEEE J. Solid-State Circuits, Vol. 30, no. 8, PP. 847-853, (Aug. 2000)
- [3] H. Kawaguchi, K. Nose, T. Sakurai, M. Sokolich and S. Thomas III, "A Super Cut-Off CMOS (SCCMOS) Scheme for 0.5V Supply Voltage with Picoampere Stand-By Current", IEEE J. Solid-State Circuits, Vol. 35, no. 10, PP. 1498-1501, (Oct. 2000)

The Leakage Power Reduction of Execution Circuits by Power Switch Method

Keikichi Tamaru and Sinji Itano*

*Department of Electronics Engineering, Faculty of Engineering,
Okayama University of Science*

1-1 Ridai-cho, Okayama 700-0005, Japan

**Graduate School of Informatics,*

Kyoto University

Yoshidahonmachi, Sakyou-ku, Kyoto 606-8501, Japan

(Received September 26, 2005; accepted November 7, 2005)

The increase of leakage current in the deep submicron MOSFET circuits becomes the serious problems. In this paper the low power scheme due to the reduction of leakage power is described. The power switch method is used to cut off the power supply of stand-by circuits according to the hardware level control signal based on the execution data. The design of the control circuits of power switch and the application to 64 bits adder, as an example, are described. It is shown that the worst power reduction of 8% and the best power reduction of 24% are possible in case of the 64 bits ripple carry adder, respectively.

Keywords : control circuits of power switch, low power, MTCMOS, CMOSLSI