

低電力大小比較機能付き減算器回路

板野 伸次・田丸 啓吉*

岡山理科大学大学院工学研究科修士課程電子工学専攻

*岡山理科大学工学部電子工学科

(2004年9月16日受付、2004年11月5日受理)

1. はじめに

LSIの微細化による集積度の増大により消費電力の増加が注目されており、消費電力を減らす低エネルギー化の問題は重要な問題となっている[1]。低エネルギー化を考える上でデバイス、ソフトなどの分野もあるが、本研究では処理データより動作すべき回路をハードウェアレベルで判断し、不要な回路の電源を切断することにより動作時に消費するアクティブエネルギーと待機時に消費するリークエネルギーの削減を実現することを目的とする。具体例として上位大小比較器と減算器で検討する。本研究では、上位から演算を行う大小比較器と下位から演算を行う減算器を組み合わせた大小比較機能付き減算回路を考案し、その動作と電源を制御するための制御回路を考案した。電源を制御させるためのスイッチとしては特性がよく、リーク電流の低減が可能なMTCMOS[2]の電源スイッチを使用する。2章では電源スイッチ、3章では大小比較器、4章では減算器、5章では電源制御の構成と動作について述べ、6章ではエネルギーの計算例を示す。

2. 電源スイッチ

電源スイッチ技術としてMTCMOSは図1のような簡単な構造(Nch型)となっており、電源スイッチに高しきい値電圧(V_1)のMOSトランジスタ Q_s 、主回路には低しきい値電圧のCMOSを用いることにより、主回路の不動作時に S_{LN} 信号を0にして Q_s をOFFにすることにより低 V_1 論理回路のリーク電力を削減させる。MTCMOSの問題として電源電圧の低下にともないしきい値電圧が下がったとき電源スイッチトランジスタのリーク電流をできるだけ小さくすること、ON、OFFのスピード、仮想接地線のグラウンドバンスなどが挙げられる。ここでは、電源スイッチのリーク電力は少なく、動作速度も理想的なものとして検討する。

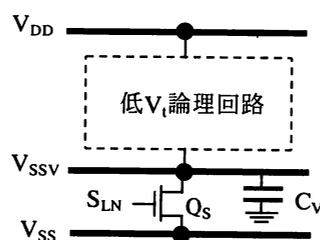


図1. MTCMOS回路

3. 大小比較器

2数の大小比較は、通常減算を用いて行う方法がとられてきたが、ポロー信号が最上位ビットに伝わるまで比較の判定ができない。本研究では、大小比較を上位からビット比較により行い、異なるビットがあればそれより下位ビットの比較を行わずに大小の判定を行う。そうすることにより、不動作回路のアクティブ電力と、スタンバイ時間が増えることによりリーク電力が削減でき、低エネルギー化、高速化につながる。

1ビットの比較器を4つまとめて、4ビット分を1ブロックとする。A, Bを1ビットの入力とし、 f_2, f_3 を1ビット分の出力、 F_1, F_2, F_3 を4ビット分の出力とし、 $A > B$ のとき $F_1=1$ 、 $A < B$ のとき $f_2, F_2=1$ 、 $A=B$ のとき $f_3, F_3=1$ とすると、それぞれの式は次のようになる。(記号の右上の数字は何ビット目かを示す。)

$$f_2 = \overline{A} \cdot B \quad (A < B) \cdots (1)$$

$$f_3 = \overline{A \oplus B} \quad (A = B) \cdots (2)$$

$$F_2 = f_2^4 + f_3^4 f_2^3 + f_3^4 f_3^3 f_2^2 + f_3^4 f_3^3 f_3^2 f_2^1 \quad (A < B) \cdots (3)$$

$$F_3 = f_3^4 f_3^3 f_3^2 f_3^1 \quad (A = B) \cdots (4)$$

$$F_1 = \overline{F_2 + F_3} \quad (A > B) \cdots (5)$$

回路は図2の上部と左側部分に示すようになる。

4. 減算器

従来の先見減算器を考える。入力A-Bを行う場合、減算結果をS、ポローをCとすると4ビット減算器の式は下記のようなになる。

$$S^4 = (A^4 \oplus B^4) \cdot C^3 + \overline{A^4 \oplus B^4} \cdot C^3 = \overline{f_3^4} \cdot C^3 + f_3^4 \cdot C^3 = \overline{f_3^4 \oplus C^3} \quad \cdots (6)$$

$$C^4 = \overline{A^4} \cdot B^4 + \overline{A^4 \oplus B^4} \cdot C^3 = f_2^4 + f_3^4 \cdot C^3 = f_2^4 + f_3^4 f_2^3 + f_3^4 f_3^3 f_2^2 + f_3^4 f_3^3 f_3^2 f_2^1 + f_3^4 f_3^3 f_3^2 f_3^1 C^0 \quad \cdots (7)$$

$$S^3 = \overline{f_3^3 \oplus C^2} \quad \cdots (8)$$

$$C^3 = f_2^3 + f_3^3 f_2^2 + f_3^3 f_3^2 f_2^1 + f_3^3 f_3^2 f_3^1 C^0 \quad \cdots (9)$$

$$S^2 = \overline{f_3^2 \oplus C^1} \quad \cdots (10)$$

$$C^2 = f_2^2 + f_3^2 f_2^1 + f_3^2 f_3^1 C^0 \quad \cdots (11)$$

$$S^1 = \overline{f_3^1 \oplus C^0} \quad \cdots (12)$$

$$C^1 = f_2^1 + f_3^1 C^0 \quad \cdots (13)$$

式(6)~(13)は1ビットの比較器を利用して減算器を構成していることを表している。また、 C^4 は式(3)と式(7)から $C^4 = F_2 + f_3^4 f_3^3 f_3^2 f_3^1 C^0$ と表せる。この比較器、減算器を統合した回路は図2のようなになる。

減算では、 $A^n=1, B^n=0$ または、 $A^n=0, B^n=1$ のとき下位のポロー信号 C^{n-1} を待たずにそのビットのポロー信号 C^n が決定される。このことを利用して、途中のブロックから演算できる回路を早めに動作させることにより全演算時間を短くすることによりスタンバイ状態が長くとれ、高速化、低エネルギー化が可能となる。

比較器と演算器を統合させることにより、ゲート数の低減ができ、電源の制御信号をその回路からとることができ、別途電源制御信号を作る回路を必要としないですむ。

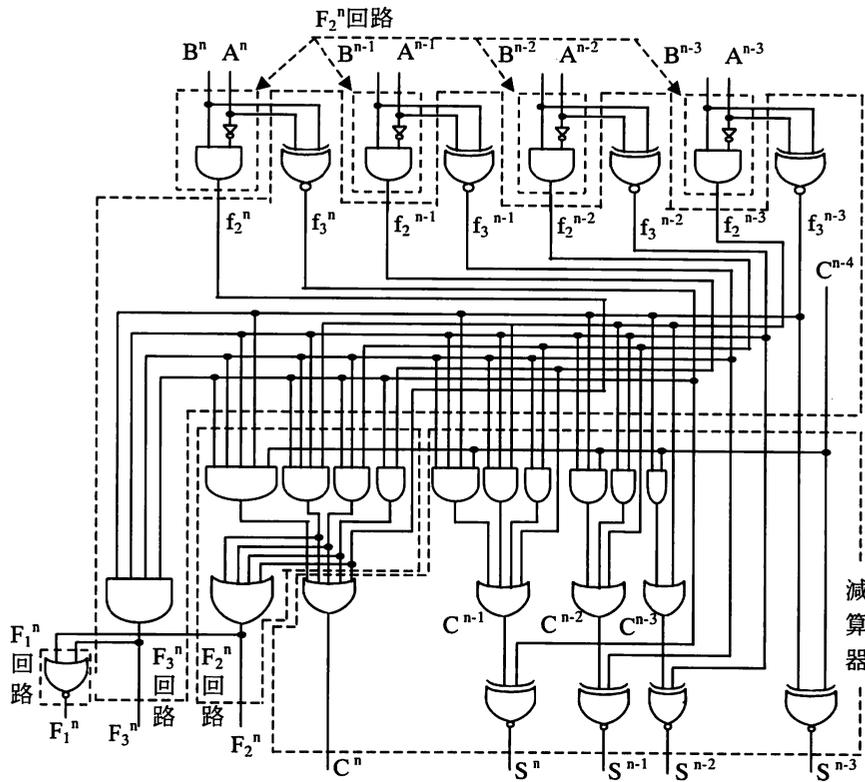


図2 (4ビット) 大小比較機能付き減算器回路

5. 電源制御部

電源制御部の制御の条件を比較器、減算器について検討する。

比較器では、 F_3^n が0(入力 A^n と B^n が等しくない)とき比較の判定は終了することができ、 $n-1$ 以降のブロックの電源を切る。 F_3^n が1(入力 A^n と B^n が等しい)のとき比較の判定はまだできず下位ブロックの判定を待つので、動作不要な F_1^n, F_2^n の電源を切る。

減算器では、減算開始のとき、全てのブロックの電源をONにし、基本的には最下位から電源をOFFさせていく。入力信号が $A^n=1, B^n=0$ または、 $A^n=0, B^n=1$ のとき上位隣接ブロックの演算が可能となり上位隣接ブロックからも電源をOFFさせることができる。つまり、途中のブロックからも電源をOFFしていくことが可能となる。電源の制御信号は F_3^n 信号で制御させることができる。演算結果が出る前に電源を切らないために遅延回路によって電源信号を制御させる。これらの条件をもとに回路を設計したものを図3, 4に示す。

F_1, F_2, F_3 , 減算器回路は図2に示した通りである。図3のZはそれぞれ図4のZに対応している。

比較の場合 S (比較用)=1となると図3より F_3^4 がONとなる。次に $F_3^4=1$ のときそのブロックでは大小の判定ができないため、図4より動作不要な F_1^4, F_2^4 の電源がOFFになり、図3より下位隣接ブロックの F_3 の電源をONにしていく。あるブロックで $F_3=0$ となれば大小の判定は F_1, F_2 回路で判定できるため、図3よりそれ以下のブロックの電源を全てOFFなり、 F_1, F_2 電源がONになり大小の結果が出力される。比較を行う場合、図2の減算器回路の電源は常にOFFとなっている。

減算の場合、右端を除く全反転遅延回路の出力は1であるので S (減算用)=1となると図3より全ブロックの全電源がONとなる。また、 $F_3=0$ のとき減算のポローが決定されるので、それより上位ブロックは遅延回路を通して順次OFFにしていく。遅延回路を用いる理由は、減算結果が確定しないうちに電源が切れることを避けるためである。また、 F_3 信号により途中のブロックからの演算も可能となるようにしている。

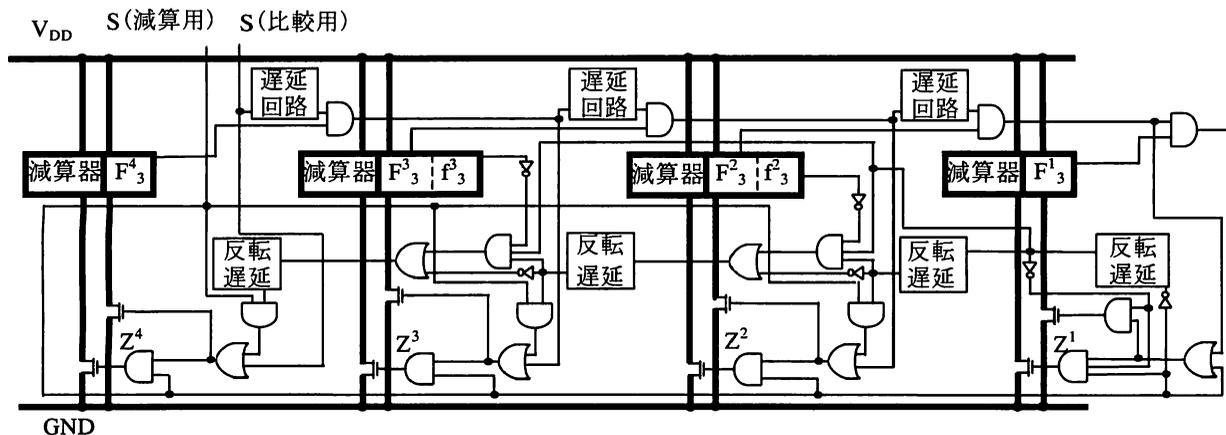


図3 F₃ 減算器の電源制御回路

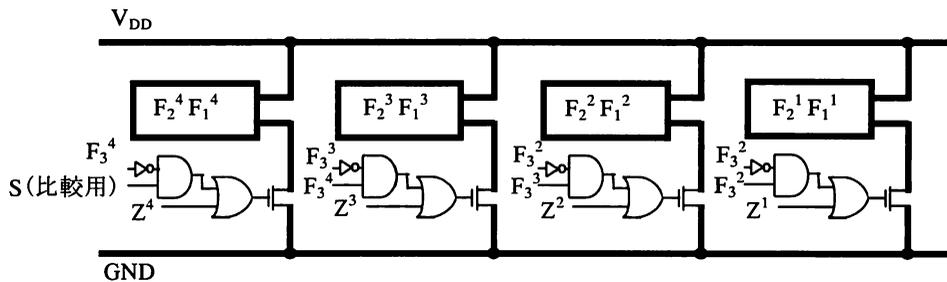


図4 F₂, F₁の電源制御回路

比較を行うときの模式図は、図5のようなになる。簡単のため図では減算器を「減」、F₁回路を「F₁」、F₂回路を「F₂」、F₃回路を「F₃」で表している。基本的な動作は最上位ブロックから最下位ブロックに向けて順次行い、図5で比較用の信号Sが送られると最上位ブロックのF₃回路がONとなり、全てのブロックの減算器がOFF状態になる(①)。減算器は比較を行うときには必要ないので終始OFF状態である。次に、F₃回路により比較不可能な場合(入力A_n=B_n)は、F₁回路、F₂回路をOFF状態にさせたまま(②)下位隣接ブロックのF₃回路をON(③)する。この動作を繰り返して最下位ブロックか比較可能なブロック(入力A_n≠B_n)まで行う。

途中のブロックが比較可能なブロック(入力A_n≠B_n)の場合(図6)、そのブロックのF₁回路、F₂回路をON(④)にして演算を行う。また、そのブロックの下位ブロックは全て動作させる必要がないので下位ブロックはOFFのままの状態を維持しておく(⑤)。

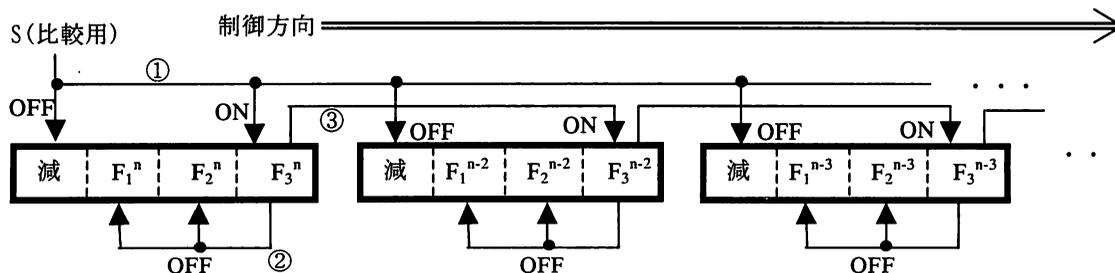


図5 比較の基本的な動作

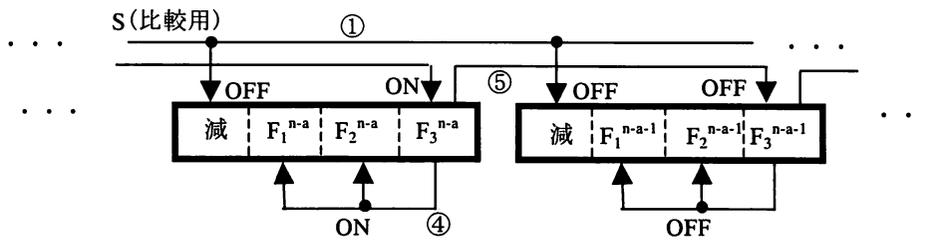


図6 途中のブロックで比較可能な場合の動作

減算を行うときの模式図は、図7のようにになる。基本的な動作は比較のときとは逆に最下位ブロックから最上位ブロックに向けて順次に処理を行い、図7で減算用の信号Sが送られると全てのブロックがONとなる①。次に最下位ブロックの演算が終われば順次にブロックの電源をOFFして最上位ブロックまで行う②。途中のブロックでポローが確定された場合、そのブロックの上位隣接ブロックの演算が可能なので、 f_3 信号により上位隣接ブロックからも最上位ブロックに向けて順次に電源をOFFして行く③。

図9, 10に演算、比較を行ったときの演算回路のリークエネルギー分布を示す。規則的に各ブロックを制御させることにより、図で示す横線の面積がエネルギー減少分となる。また、途中からブロックの電源を制御することが可能であれば図で示す白で塗りつぶされた面積がそのエネルギー減少分となり、動作ブロック、動作時間が少なくて済むことがわかる。

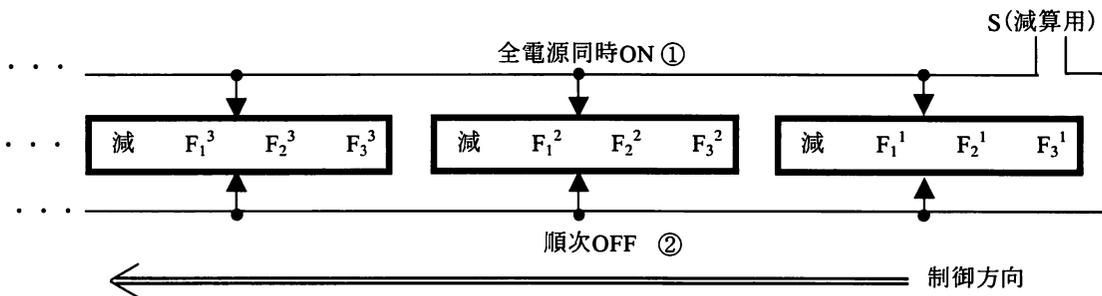


図7 減算の基本的な動作

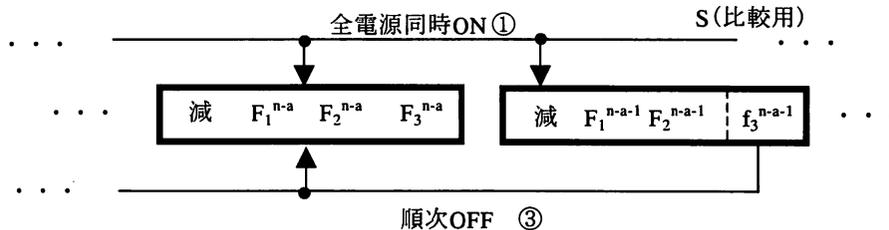


図8 途中のブロックで演算可能な場合の動作

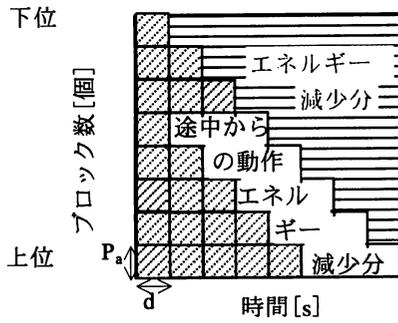


図9 減算の場合の大小比較機能付き演算回路のエネルギー分布 (図中のPa, dは6章参照)

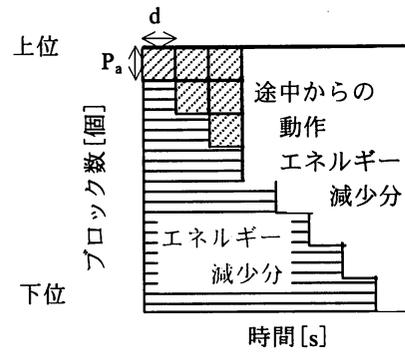


図10 比較の場合の大小比較機能付き演算回路のエネルギー分布 (図中のPa, dは6章参照)

6. エネルギー計算(例)

図11の一般的な加算回路(4ビットの場合)と今回の大小比較機能付き減算器回路を比較する。図11のB'はBの2の補数であるのでAと加算することによってS=A-Bとなる。

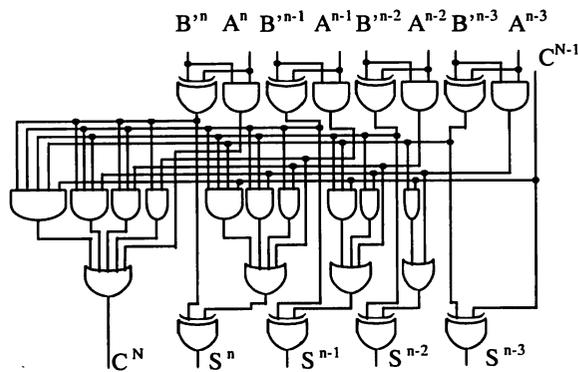


図11 (4ビット)加算器回路

比較するために用いる記号を下記のように定める。

- E₁: 大小比較機能付き減算器回路の全リークエネルギー
- E₂: 加算回路の全リークエネルギー
- E₁' : 大小比較機能付き減算器回路の全アクティブエネルギー
- E₂' : 加算回路の全アクティブエネルギー
- P_a: 大小比較機能付き減算器回路1ブロック(図2)のリーク電力
- P_b: 1ブロックの制御回路(図5, 6)のリーク電力
- P_c: 4ビット加算器(図11)のリーク電力
- P_d: 減算器回路の電力を除いた図2の回路のリーク電力
- P_d' : 減算器回路とF₁, F₂回路の電力を除いた図2の回路のリーク電力
- P_a' : 大小比較機能付き減算器回路1ブロック(図2)のアクティブ電力
- P_b' : 1ブロックの制御回路(図5, 6)のアクティブ電力
- P_c' : 4ビット加算器(図11)のアクティブ電力
- n: ブロック数
- p: 1つのゲートのリーク電力

t : 1つのゲートのパス時間

t_w : 書き込み時間

d : 大小比較機能付き減算器回路1ブロック(図2)の減算器回路の減算結果を出力するまでの時間

d_i : 伝搬信号Cが入力されて減算結果を出力するまでの時間

a : 4ビット加算器(図11)の結果が出るまでの時間

大小比較機能付き減算器回路にとって最悪な場合は最下位以外の全ブロックの F_3 が $F_3=1$ の場合であるので、例としてこの場合を考える。上記の記号を用いて32ビットの場合の E_1, E_2 を表すと下記ようになる。

$$E_1 = P_a \{n(d + t_w) + (n-1)d_i + (n-2)d_i + (n-3)d_i + \dots + d_i\} + P_b n \{(n-1)d_i + d + t_w\}$$

$$E_2 = nP_c a + nP_c (a-t)d_i + nP_c t_w$$

$d_i = (d-t)$ を代入して

$$E_1 = P_a \{n(d + t_w) + \frac{(d-t)(n-1)n}{2}\} + P_b n \{(n-1)(d-t) + d + t_w\} \quad \dots(14)$$

$$E_2 = nP_c a + nP_c (a-t)(n-1) + nP_c t_w \quad \dots(15)$$

1ゲートのアクティブ電力とリーク電力の比を α とすると($P' = \alpha P$)、アクティブエネルギーは

$$E_1' = nP_a' + nP_b' = n\alpha(P_a + P_b)t \quad \dots(16)$$

$$E_2' = nP_c' = n\alpha P_c t \quad \dots(17)$$

となり、エネルギー減少分の比は

$$E_d = \frac{E_1 + E_1' - (E_2 + E_2')}{E_2 + E_2'} \times 100 \quad [\%] \quad \dots(18)$$

となる。

具体的に1ブロック8ビットで8ブロックで考えると $P_a=79p, P_b=12p, P_c=60p, d=a=4t, n=8$ となり $t_w=3t, \alpha=0.12$ とし、式18に代入するとエネルギー減少分の比は約10[%]となった。

次に、入力A, Bの比較を行う場合、大小比較機能付き減算器回路にとって最悪な場合は途中で比較が終了せず、最下位ブロックまで演算を行う場合である。図2の中の減算回路電源はOFFしているので E_1 は下記のようなになる。

$$E_1 = P_d d \{n + (n-1) + (n-2) + \dots + 2\} + P_d (d + t_w) + P_b n (nd + t_w) \quad \dots(19)$$

$$E_1 = P_d d \frac{(n+2)(n-1)}{2} + P_d (d + t_w) + P_b n (nd + t_w)$$

これに $P_d=35p, P_d'=9p, n=8, t_w=3t, d=3t$ として同様にエネルギー減少分比を求めると72[%]となった。

この結果から、減算を行う場合は大幅な低エネルギー化とはならなかったが、比較を行う場合は大幅な低エネルギー化が可能となることがわかった。以上の計算は最悪条件のもとでおこなっているが、途中のブロックで動作可能となる場合さらに低エネルギー化になるといえる。

1ブロックのビット数とブロック数を変化させたときの結果を図12, 13に示す。

図12, 13から、ブロック数、1ブロックのビット数が増えれば低エネルギー化傾向にあるといえる。比較では1ブロック4ビットの場合でも8ビットの場合でも低エネルギー化になったが、減算では1ブロック8ビットで行うと低エネルギー化となるが、4ビットではならないことがわかる。大小比較機能付き減算回路は特に比較を行う場合に、より効力を発揮できるといえる。

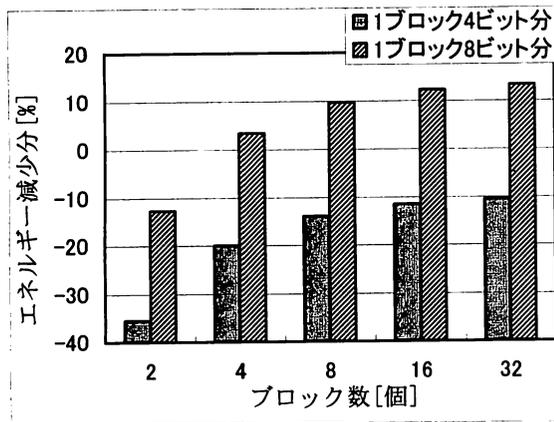


図12 減算によるエネルギー減少分

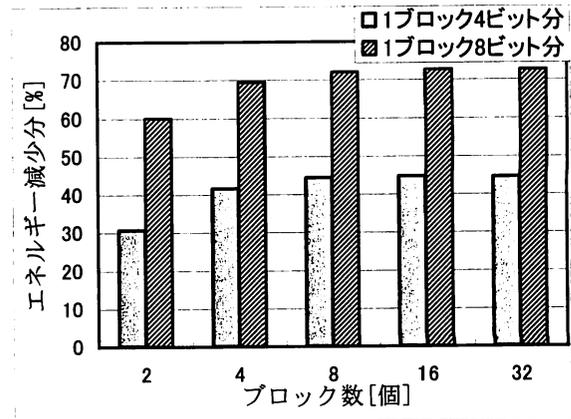


図13 比較によるエネルギー減少分

7. おわりに

以上の結果から、本研究で検討した方法は比較的大きな回路に対して有効であるといえる。これは、制御回路を余分に付加したためである。検討課題としては、電源スイッチの性能の検討とアクティブ電力を考慮した低エネルギー化を考えることがあげられる。大小比較機能付き減算回路で加算を行う場合、入力に減算するほうのビットの2の補数を入力するればよい。また、比較器と減算器の統合を考えたが、比較器と加算器の統合も同様に可能である。

参考文献

- [1] Koichi Nose, Masayuki Hirabayashi, Hiroshi Kawaguchi, Seongsoo Lee, Takayasu Sakurai, "VTH-Hopping Scheme to Reduce Subthreshold Leakage for Low-Power Processors", pp.413-419, IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL.37, NO.3, MARCH 2002
- [2] Shin'ichiro Mutoh, Takakuni Douseki, Yasuyuki Matuya, Takahiro Aoki, Satoshi Shigematu, Junzo Yamada, "Power Supply High-Speed Digital Circuit Technology with Multithreshold-Voltage CMOS", pp.847-853, IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL.30, NO.8, AUGUST 1995

Low Power Binary Subtractor with Comparing function of Two Numbers

Shinji Itano and Keikiti Tamaru *

Graduate School of Engineering,

**Department of Engineering Faculty of Engineering,*

Okayama University of Science

Ridai-cho 1-1, Okayama 700-0005, Japan

(Received September 16, 2004; accepted November 5, 2004)

Recently the increase of power consumption of LSI due to the continuous scaling of MOSFET and growing of integration size becomes the serious problem and the low power technology, therefore, is the major topics of LSI design. In this paper a power switch method reducing both the active energy in operation state and the leakage energy in standby state is described. The power switch is controlled in hardware level by the control circuits using the input data and shuts down the power supply in non-active circuit block. We examine a binary subtractor with comparing function of the size of two numbers which combines the conventional borrow look ahead subtractor working from lower bit with the comparator of two input numbers working from upper bit and devise the power switch control circuits using MTCMOS technology. The obtained results show that 64bit subtractor and 64bit comparator can realize 10% and 72% energy reduction comparing to the conventional 64bit adder, respectively.