

DTMOS回路の近似遅延時間解析式

— slow input の場合 —

田丸啓吉・池田卓郎*

岡山理科大学工学部電子工学科

*松下システムテクノ株式会社

(2003年11月7日 受理)

1. まえがき

情報機器の急速な高性能化に対応した動作周波数の向上、集積度の増大に伴い、LSIの消費電力は指数関数的に増加しており、放熱の問題が深刻になっている。また、携帯機器の普及に伴い、さらなる高機能化を図りつつ電池の長時間動作を実現することが求められている。LSIの基本構成を成すCMOSの消費電力の大部分は、負荷容量の充放電成分である。ただし、スタンバイ時には充放電による電力消費はなく、サブスレッショルドリーク電流が消費電力を決定している。待機時間の長い携帯機器においてこの電力消費は無視できず、リーク電力の低減も重要な課題となる。

CMOS回路の低消費電力化には電源電圧の低減が最も有効な手段であるが、電源電圧をトランジスタのしきい値電圧付近まで下げると、駆動電流が低下し動作速度が低下する。このため、動作速度を保ちつつ低電圧化を実現するには、同時にしきい値電圧を下げる必要がある¹⁾。ここでサブスレッショルドリークの問題が浮上してくる。サブスレッショルド領域では、ドレイン電流はしきい値電圧に指数関数的に依存するため、駆動電流の減少を抑えるためにしきい値電圧を低減すると、リーク電流の増大を生じる。したがってCMOS回路の低消費電力化には、リーク電流の増大を抑えつつ低電圧化による駆動電流の減少を抑制することが求められている。

この問題を解決する手法として、しきい値電圧を基板バイアスにより制御するVTCMOS技術²⁾、複数のしきい値電圧のトランジスタを用い、待機時には回路ブロックを切り離してリーク電流を低減するMTCMOS技術³⁾などが発表されている。これらの手法は待機時の低消費電力化を目的に、しきい値電圧をステティックに変化させる技術である。これに対し、トランジスタのしきい値電圧をダイナミックに変動させるDynamic Threshold MOSFET (DTMOS)技術がある⁴⁾。DTMOS回路については、シミュレーションによる評価が報告されているが⁵⁾、回路設計に使用できる簡単な解析式は発表されていない。本論文では、slow

Inputの場合について、DTMOS回路の遅延時間の減少分を評価できる解析式を導出し、その精度について検討する。

2. DTMOS回路の動作

DTMOS回路は図1に示すように^{6) 7)}、ゲートと基板を直結した構成になっていて、ゲート電圧の変化により基板電圧が変化する。NMOSの場合基板電圧 V_{bs} としきい値電圧 V_{th} の間には次の関係式が成立する。

$$V_{th} = V_{th0} - \gamma V_{bs} \quad (1)$$

ここで V_{th0} は $V_{bs} = 0$ のときのしきい値電圧、 γ は基板バイアス常数である。したがってゲート電圧が高くなると基板電圧も高くなり、しきい値電圧は低くなる。ゲート電圧は入力電圧であるから、このことはNMOSが動作するとき（オンになるとき）、しきい値電圧が低くなり駆動電流が増加することを意味している。一方、ゲート電圧が低くなると基板電圧も低くなり、しきい値電圧は高くなって V_{th0} に近づく。これはNMOSが不動作のとき（オフのとき）、しきい値電圧は

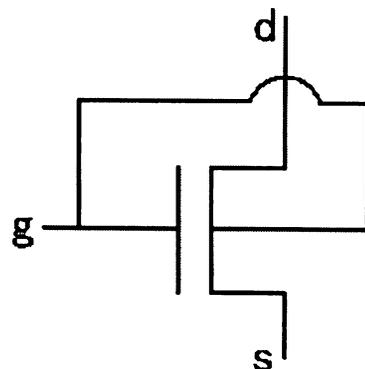


図1 DTMOS回路 (NMOS)

高くなりリーク電流を低減できることを示している。この結果トランジスタがオンのときは大きな駆動電流が得られ、オフのときはリーク電流の増大を防ぐという問題を解決できる。

図1に示す基本のDTMOS回路の欠点は、0.7V以上の基板電圧がかかったとき基板とソース、ドレイン間のPN接合が順方向にバイアスされ、電流が流れる場合が生じることである。このためDTMOS回路の入力電圧には0.7Vの限界がある。この制限を緩和するため、DTMOSのゲートと基板間に補助トランジスタを挿入したレベルシフトDTMOS (LSDTMOS)がある⁸⁾。LSDTMOSでは補助トランジスタのしきい値電圧分だけゲート電圧と基板電圧に差が生じ、より高い入力電圧が加えられる。この回路を図2に示す。補助トランジスタのゲート電圧 V_{aux} の供給方法については、いくつかの方法が考えられている⁹⁾。

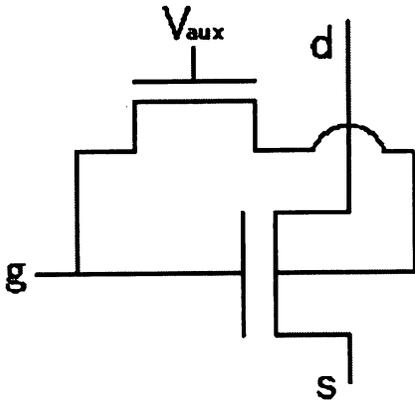


図2 LSDTMOS回路 (NMOS)

CMOS回路の遅延時間は、入力電圧が振幅(通常電源電圧にとる)の50%になる時間から、出力電圧が振幅の50%になるまでの時間として定義される。出力電圧の変化は負荷容量の充放電によるので、遅延時間の解析はNMOSを流れる放電電流による出力電圧の変化を計算することが基本になる。PMOSによる充電は対称の動作であるから、解析式としてはNMOSの放電動作の式を求めればよい⁹⁾。解析には入力の波形が関係する。解析の精度を上げるためランプ(傾斜)入力の波形を考えるが、この場合傾斜の大小により二つの場合が考えられる。出力電圧が50%の点に達したとき、入力電圧が最大振幅になっている場合をfast input、入力電圧がまだ増加途中の場合をslow inputと呼ぶ。fast inputの場合には出力電圧が50%の点に達するまでにトランジスタは飽和状態から非飽和状態に移る。一方slow inputでは多くの場合飽和状態に留まる。本論文のDTMOSの解析では、議論を簡単に

するためslow inputの飽和状態の場合について検討する。

3. CMOS回路の遅延時間解析

DTMOS回路の遅延時間解析ではCMOS回路の遅延時間解析と同じ手法を使用し、最後に両者の計算結果を比較するので、ここに簡単にCMOS回路の遅延時間の解析法を示す⁹⁾。CMOS回路(インバータゲートを考える)の遅延時間は主となる負荷容量の充放電時間のほかに、二次的要素として貫通電流による放電時間の増加があるが、ここではNMOSトランジスタの放電のみを考え、貫通電流の影響は無視する。解析する回路を図3に示す。

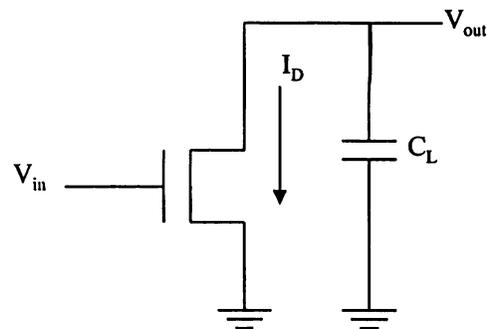


図3 CMOS放電回路

入力電圧 $V_{in}(t)$ はランプ入力とし次のように表わす。

$$V_{in}(t) = \frac{V_{DD}}{T}t \quad (2)$$

ここに V_{DD} は電源電圧、 T は入力立上がり時間である。トランジスタは α 乗則モデル¹⁰⁾を使用し、 $\alpha=1$ と仮定する。ドレイン電流 I_D は次のようになる。

$$I_D = \frac{\beta}{2}(V_{gs} - V_{th}) \quad (3)$$

$$V_{gs} = V_{in}(t) = \frac{V_{DD}}{T}t \quad (4)$$

負荷容量 C_L の放電の式より

$$-C_L \frac{dV_{out}}{dt} = I_D \quad (5)$$

$$dV_{out} = \frac{-\beta}{2C_L} \left\{ \frac{V_{DD}}{T}(t' + t_n) - V_{th} \right\} dt' \quad (6)$$

ここで t_n は入力がNMOSのしきい値電圧になる時間、 t' はNMOSに電流が流れ始める時間を0とした時

間で $t = t' + t_n$ である。

初期値 V_{DD} で(6)式を解くと

$$V_{out} = V_{DD} - \frac{\beta T}{4C_L V_{DD}} \left\{ \frac{V_{DD}}{T} (t' + t_n) - V_{th} \right\}^2 \quad (7)$$

となる。 $t' = t_0$ のとき $V_{out} = V_{DD}/2$ となるとすると

$$\frac{V_{DD}}{2} = V_{DD} - \frac{\beta T}{4C_L V_{DD}} \left\{ \frac{V_{DD}}{T} (t_0 + t_n) - V_{th} \right\}^2 \quad (8)$$

$$t_0 + t_n = \frac{T}{V_{DD}} \left\{ V_{th} + \sqrt{\frac{2C_L V_{DD}^2}{\beta T}} \right\} \quad (9)$$

遅延時間 t_{phl} は

$$\begin{aligned} t_{phl} &= t_0 + t_n - \frac{T}{2} \\ &= \frac{V_{th}}{V_{DD}} T + T \sqrt{\frac{2C_L}{\beta T}} - \frac{T}{2} \\ &= \frac{(2V_{th} - V_{DD})T}{2V_{DD}} + T \sqrt{\frac{2C_L}{\beta T}} \end{aligned} \quad (10)$$

となる。波形を図4に示す。

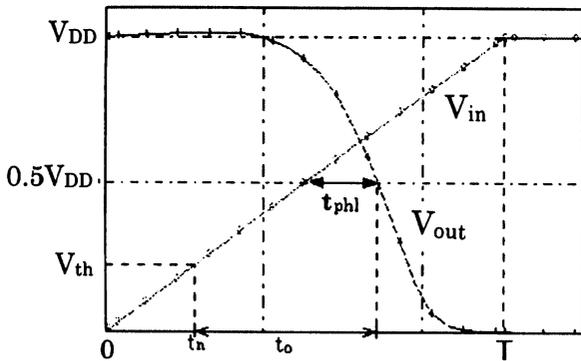


図4 CMOS回路の入出力波形

4. DTMOS回路の遅延時間解析

DTMOS回路ではしきい値電圧が(1)式で変化する。 $V_{bs} = V_{in}(t)$ とすると、出力電圧は

$$\begin{aligned} dV_{out}(t) &= \frac{-\beta}{2C_L} [V_{in}(t) - \{V_{th0} - \gamma V_{in}(t)\}] dt' \\ &= \frac{-\beta}{2C_L} \left[\frac{V_{DD}}{T} (1 + \gamma)(t' + t_n) - V_{th0} \right] dt' \end{aligned} \quad (11)$$

となる。初期値 V_{DD} で(11)式を解くと

$$\begin{aligned} V_{out}(t) &= V_{DD} - \frac{\beta T}{4C_L V_{DD} (1 + \gamma)} \\ &\quad * \left\{ (1 + \gamma) \frac{V_{DD}}{T} (t' + t_n) - V_{th0} \right\}^2 \end{aligned} \quad (12)$$

となる。 $t' = t_0$ で $V_{out}(t) = V_{DD}/2$ となるとすると

$$\begin{aligned} \frac{V_{DD}}{2} &= V_{DD} - \frac{\beta T}{4C_L V_{DD} (1 + \gamma)} \\ &\quad * \left\{ (1 + \gamma) \frac{V_{DD}}{T} (t_0 + t_n) - V_{th0} \right\}^2 \end{aligned} \quad (13)$$

したがって

$$t_0 + t_n = \frac{T}{(1 + \gamma)V_{DD}} \left\{ V_{th0} + \sqrt{\frac{2C_L V_{DD}^2 (1 + \gamma)}{\beta T}} \right\} \quad (14)$$

遅延時間 t_{phl} は

$$\begin{aligned} t_{phl} &= t_0 + t_n - \frac{T}{2} \\ &= \frac{\{2V_{th0} - (1 + \gamma)V_{DD}\}T}{2(1 + \gamma)V_{DD}} + T \sqrt{\frac{2C_L}{(1 + \gamma)\beta T}} \end{aligned} \quad (15)$$

となる。

5. LSDTMOS回路の遅延時間解析

LSDTMOSでは入力電圧が補助トランジスタのしきい値電圧 V_{th} に達する前と後で、NMOSのしきい値電圧の変化分が異なるので解析が複雑になる。これを図5に示すように区間に分けて計算する。

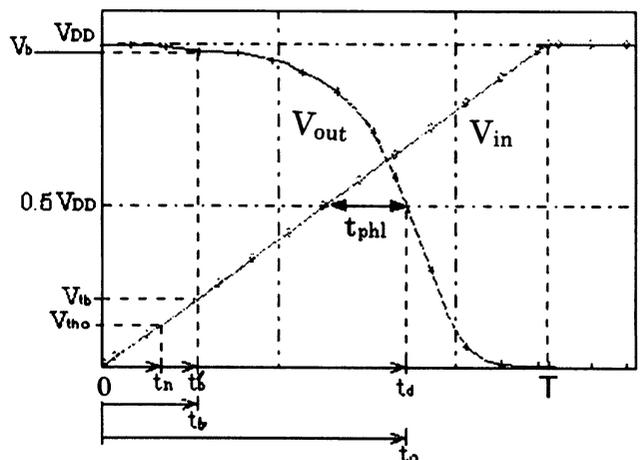


図5 LSDTMOS回路の入出力波形

(1) $0 < t < t_n$ のとき

NMOSが不導通であるから

$$V_{gs} = V_{in}(t) = \frac{V_{DD}}{T}t$$

$$I_D = 0$$

$$V_{out}(t) = V_{DD}$$

$$V_{th} = V_{th0}$$

$$V_{bs} = 0$$

となる。

(2) $t_a < t < t_b$ のとき

t_b は入力が V_{ib} になる時間である。 $t = t' + t_a$ とおいて t' で考える。

$$V_{gs} = V_{in}(t) = \frac{V_{DD}}{T}(t' + t_n)$$

$$V_{th} = V_{th0}$$

$$V_{bs} = 0$$

$t_b = t_b' + t_n$ だから

$$V_{ib} = \frac{V_{DD}}{T}(t_b' + t_n)$$

$$t_b = t_b' + t_n = \frac{TV_{ib}}{V_{DD}}$$

となる。NMOSのドレイン電流は

$$I_D = \frac{\beta}{2}(V_{gs} - V_{th0})$$

となり、放電電流の式は

$$-C_L \frac{dV_{out}}{dt'} = I_D$$

$$dV_{out} = \frac{-\beta}{2C_L} \left\{ \frac{V_{DD}}{T}(t' + t_n) - V_{th0} \right\} dt' \quad (16)$$

となる。初期値 V_{DD} で解くと

$$V_{out} = V_{DD} - \frac{\beta T}{4C_L V_{DD}} \left\{ \frac{V_{DD}}{T}(t' + t_n) - V_{th0} \right\}^2 \quad (17)$$

となる。 $t' = t_b' = t_b - t_n$ のときの値は

$$V_{out}(t_b) = V_b$$

$$= V_{DD} - \frac{\beta T}{4C_L V_{DD}} \left\{ \frac{V_{DD}}{T}(t_b' + t_n) - V_{th0} \right\}^2$$

$$\begin{aligned} &= V_{DD} - \frac{\beta T}{4C_L V_{DD}} \left\{ \frac{V_{DD}}{T} \left(\frac{TV_{ib}}{V_{DD}} \right) - V_{th0} \right\}^2 \\ &= V_{DD} - \frac{\beta T}{4C_L V_{DD}} (V_{ib} - V_{th0})^2 \end{aligned} \quad (18)$$

となる。

(3) $t_b < t < t_0$ のとき

t_0 は出力が $V_{DD}/2$ になる時間である。 $t = t'' + t_b$ とおいて t'' で考える。

$$V_{bs} = V_{in}(t) - V_{ib}$$

$$V_{in}(t) = \frac{V_{DD}}{T}(t'' + t_b) = \frac{V_{DD}}{T}(t'' + t_b' + t_n)$$

いま、 t_d を t_b から見て出力が $V_{DD}/2$ になる時間とすると

$$t_0 = t_d + t_b' + t_n$$

となる。

$$V_{gs} = V_{in}(t)$$

$$V_{th} = V_{th0} - \gamma V_{bs} = V_{th0} - \gamma \{ V_{in}(t) - V_{ib} \}$$

であるから、ドレイン電流は

$$I_D = \frac{\beta}{2} [V_{in}(t) - \{ V_{th0} - \gamma (V_{in}(t) - V_{ib}) \}]$$

となる。したがって放電電流は

$$-C_L \frac{dV_{out}}{dt''} = I_D$$

$$\begin{aligned} dV_{out} &= -\frac{\beta}{2C_L} \left[\frac{V_{DD}}{T}(t'' + t_b' + t_n) - V_{th0} \right. \\ &\quad \left. + \gamma \left\{ \frac{V_{DD}}{T}(t'' + t_b' + t_n) - V_{ib} \right\} \right] dt'' \\ &= -\frac{\beta}{2C_L T} \left[(1 + \gamma) V_{DD} (t'' + t_b' + t_n) \right. \\ &\quad \left. - (V_{th0} + \gamma V_{ib}) T \right] dt'' \end{aligned} \quad (19)$$

となる。初期値 V_b で解くと

$$\begin{aligned} V_{out} &= V_b - \frac{\beta T}{4C_L (1 + \gamma) V_{DD}} \\ &\quad * \left[(1 + \gamma) \frac{V_{DD}}{T} (t'' + t_b' + t_n) - (V_{th0} + \gamma V_{ib}) \right]^2 \end{aligned}$$

$$\begin{aligned}
&= V_{DD} - \frac{\beta T}{4C_L V_{DD}} (V_{ib} - V_{th0})^2 \\
&\quad - \frac{\beta T}{4C_L (1+\gamma) V_{DD}} \left\{ (1+\gamma) \frac{V_{DD}}{T} (t'' + t_b' + t_n) \right. \\
&\quad \quad \left. - (V_{th0} + \gamma V_{ib}) \right\}^2 \quad (20)
\end{aligned}$$

となる。\$t=t_0=t_d+t_b'+t_n\$ で \$V_{out}=V_{DD}/2\$ とすると

$$\begin{aligned}
\frac{V_{DD}}{2} &= V_{DD} - \frac{\beta T}{4C_L V_{DD}} [(V_{ib} - V_{th0})^2 \\
&\quad + \frac{1}{(1+\gamma)} \left\{ (1+\gamma) \frac{V_{DD}}{T} (t_d + t_b' + t_n) \right. \\
&\quad \quad \left. - (V_{th0} + \gamma V_{ib}) \right\}^2]
\end{aligned}$$

となる。これより

$$\begin{aligned}
t_0 = t_d + t_b' + t_n &= \frac{T}{(1+\gamma) V_{DD}} [(V_{th0} + \gamma V_{ib}) \\
&\quad + \sqrt{(1+\gamma) \left\{ \frac{2C_L V_{DD}^2}{\beta T} - (V_{ib} - V_{th0})^2 \right\}}] \quad (21)
\end{aligned}$$

となり、遅延時間は

$$\begin{aligned}
t_{phl} &= t_0 - \frac{T}{2} \\
&= \frac{\{2(V_{th0} + \gamma V_{ib}) - (1+\gamma)V_{DD}\} T}{2(1+\gamma)V_{DD}} \\
&\quad + T \sqrt{\frac{1}{(1+\gamma)} \left\{ \frac{2C_L}{\beta T} - \frac{(V_{ib} - V_{th0})^2}{V_{DD}^2} \right\}} \quad (22)
\end{aligned}$$

となる。\$V_{ib}\$ と \$V_{th0}\$ がほぼ等しい場合には

$$t_{phl} = \frac{(2V_{th0} - V_{DD})T}{2V_{DD}} + T \sqrt{\frac{2C_L}{(1+\gamma)\beta T}} \quad (23)$$

となる。

(22)式が成立するためには \$V_{ib}\$、\$V_{DD}\$、\$V_{th0}\$ の間に条件が必要になる。一つは平方根の中が正または零になる条件で

$$V_{ib} \leq V_{DD} \sqrt{\frac{2C_L}{\beta T}} + V_{th0} \quad (24)$$

である。これは \$V_{ib}\$ に上限があることを示す。\$V_{ib} =

\$V_{th0}\$ はこの条件を満たしている。二つ目は遅延時間が正になるための条件で

$$\frac{2C_L}{\beta T} - \frac{(V_{ib} - V_{th0})^2}{V_{DD}^2} \geq \frac{\{(1+\gamma)V_{DD} - 2(V_{th0} + \gamma V_{ib})\}^2}{4(1+\gamma)V_{DD}^2} \quad (25)$$

となる。\$V_{ib}\$ の上限値をとった場合には(24)式より平方根の中が零になるので

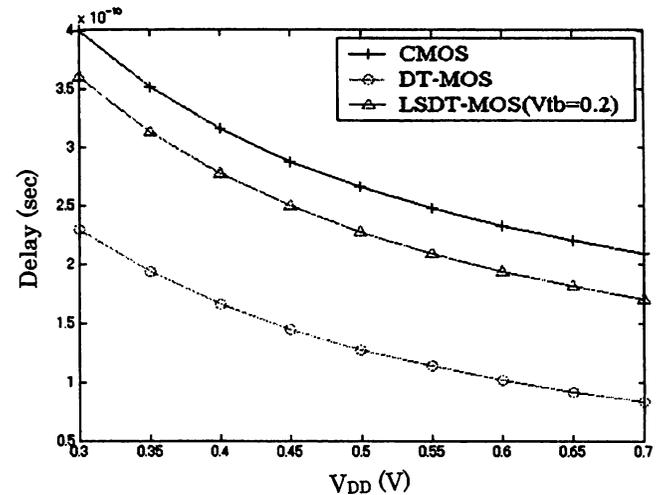
$$V_{th0} \geq V_{DD} \left(\frac{1}{2} - \frac{\gamma}{1+\gamma} \sqrt{\frac{2C_L}{\beta T}} \right) \quad (26)$$

となり、\$V_{th0}\$ の下限値に制限があることを示している。

6. 評価

表1に導出した3種類の回路の解析式を一覧表にして示す。CMOS回路を基準にすると、DTMOS回路では \$V_{DD}\$ と \$\beta\$ がそれぞれ \$(1+\gamma)\$ 倍になっている。LSDTMOS回路ではDTMOS回路の式中に \$V_{ib}\$ の項が加わってくる。特に \$V_{ib}=V_{th0}\$ とするとCMOS回路の式で \$\beta\$ のみが \$(1+\gamma)\$ 倍になったものと同じになるという興味ある結果が出ている。

図6に導出した3種類の回路の解析式による遅延時間のグラフを示す。遅延時間はDTMOS、LSDTMOS、CMOSの順に大きくなっている。DTMOSとCMOSでは約0.14~0.17nsの差があり、\$V_{DD}\$ が低いほど差が大きい。LSDTMOSはCMOSに近く、CMOSとの差は約0.04nsである。



T	\$V_{th0}\$	\$\beta\$	\$C_L\$	\$V_{ib}\$	\$\gamma\$
0.5 [ns]	0.2 [V]	1 [mA/V\$^2\$]	50 [fF]	0.2 [V]	0.3

図6 3回路の遅延時間式の比較

図7にCMOS回路とDTMOS回路のSPICEシミュレーション波形を示す。パラメータは \$V_{DD}=0.5V\$、その他は図6と同じで、トランジスタモデルはBSIM3v3のlevel8を使用した。波形から遅延時間を求めると、DTMOSはCMOS

表1 遅延時間解析式一覧表

CMOS	$\frac{(2V_{th0} - V_{DD})T}{2V_{DD}} + \sqrt{\frac{2C_L}{\beta T}}$
DTMOS	$\frac{\{2V_{th0} - (1 + \gamma)V_{DD}\}T}{2(1 + \gamma)V_{DD}} + T \sqrt{\frac{2C_L}{(1 + \gamma)\beta T}}$
LSDTMOS	$\frac{\{2(V_{th0} + \gamma V_{th}) - (1 + \gamma)V_{DD}\}T}{2(1 + \gamma)V_{DD}} + T \sqrt{\frac{1}{(1 + \gamma)} \left\{ \frac{2C_L}{\beta T} - \frac{(V_{th} - V_{th0})^2}{V_{DD}^2} \right\}}$
$V_{th} = V_{th0}$ のとき	
	$\frac{2(V_{th0} - V_{DD})T}{2V_{DD}} + T \sqrt{\frac{2C_L}{(1 + \gamma)\beta T}}$

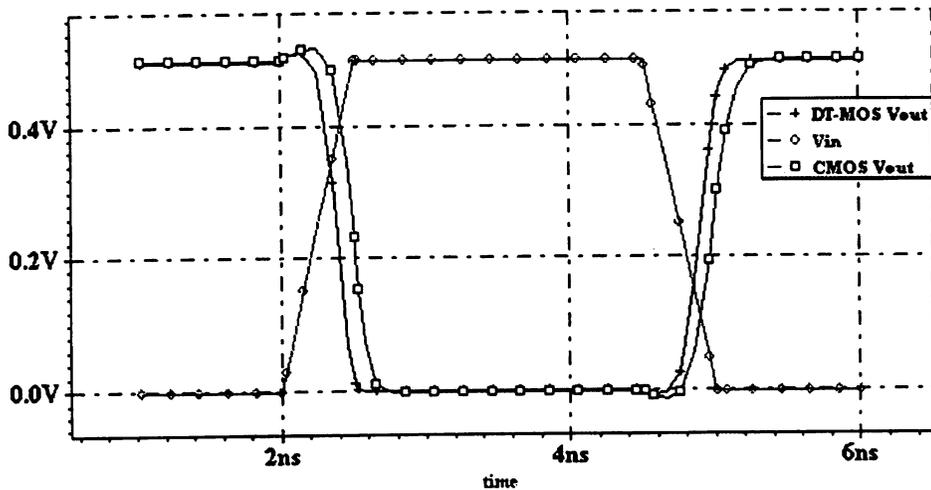


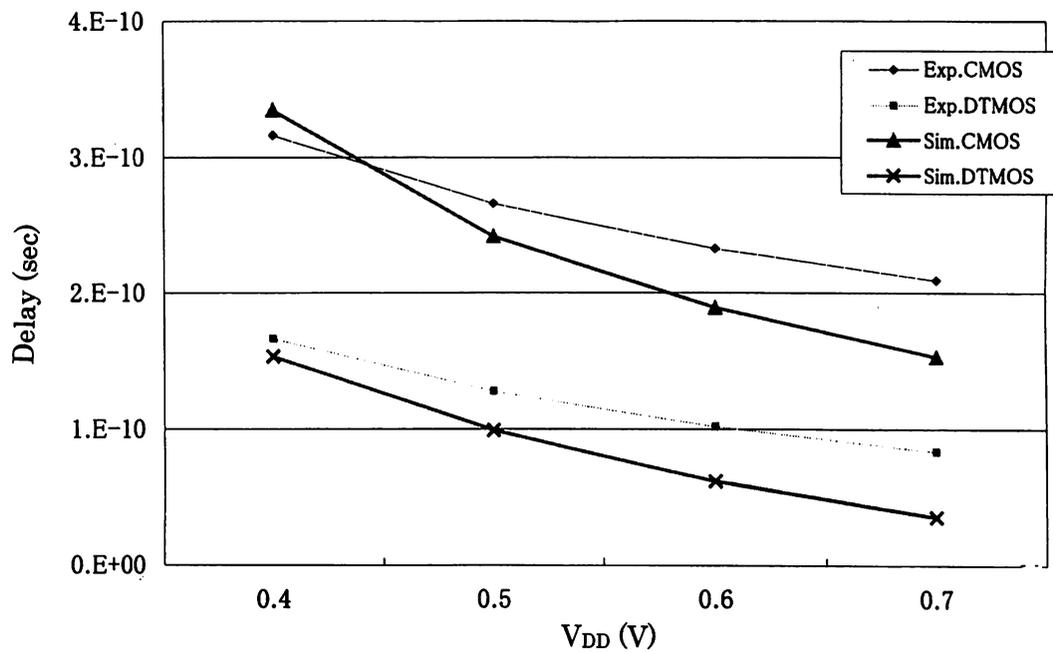
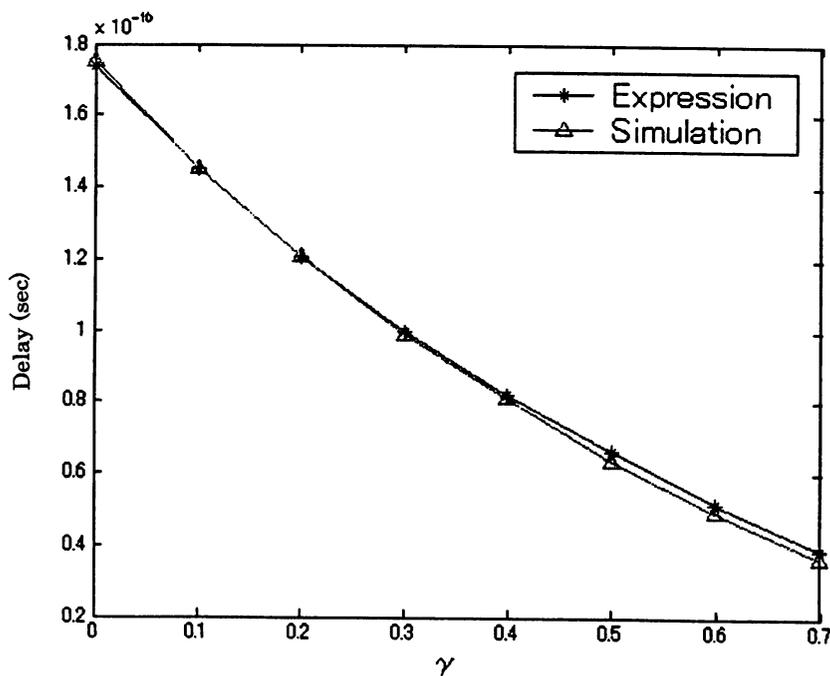
図7 SPICE シミュレーションの波形

より0.15ns程速いことがわかる。これは図6に示した結果と一致している。シミュレーションの結果と計算値の比較を図8に示す。シミュレーションと式の遅延時間の差は $V_{DD} = 0.7V$ で0.05nsとなっている。 V_{DD} が小さくなると差が小さくなるが、 $V_{DD} = 0.4V$ 以下になると逆に大きくなる。 $V_{DD} = 0.5V$ では0.028nsであり、 $V_{DD} = 0.5V$ 前後の動作については解析式でも必要な精度の数値が得られている。

図9に γ と遅延時間の関係を示す。解析式とシミュレーション結果が一致していることがわかる。 γ が大きくなるとしきい値が大きく低下し、動作速度が向上し、遅延時間が小さくなることが示されている。

7. むすび

DTMOS回路とLSDTMOS回路の遅延時間解析式を求め、従来のCMOS回路の遅延時間解析式と比較し、 $(1 + \gamma)$ 倍の因子が出てくることを示した。 $V_{DD} = 0.7V$ 以下の低電源電圧においては、両回路とも遅延時間はCMOS回路より小さく、有効な回路方式であることを確認した。解析式とSPICEシミュレーションとの比較を行った結果、 $T = 0.5ns$ の場合両者の差は大きくても0.05nsで、 $V_{DD} = 0.5V$ 前後では0.028nsであることがわかった。したがって $V_{DD} = 0.4 \sim 0.5V$ 程度の動作条件では、本解析式により遅延時間の近似値が容易に、精

図8 遅延時間の比較 ($T=0.5\text{ns}$)図9 γ -Delay 特性 ($V_{DD}=0.5\text{V}$ の時)

度よく求められることがわかり、設計に役立つことが示された。今後の問題はfast入力に対する解析式を導出し、統一した解析式を確立することである。

参考文献

1) T. Kuroda, T. Sakurai, "Overview of Low-Power ULSI Circuit Techniques", IEICE Trans. Electron. Vol.E78-C,

No.4, pp.334-343 (1995)

2) T. Kuroda, T. Fujita, F. Hatori, T. Sakurai, "Variable Threshold-Voltage CMOS Technology", IEICE Trans. Electron. Vol.E83-C, No.11, pp.1705-1715(2000)

3) S.Mutoh et al, "1-V Power Supply High-Speed Digital Circuit Technology with Multithreshold Voltage CMOS", Journal of Solid-State Circuits, Vol.30, No.8, pp.847-854(1995)

4) F.Assaderaghi et al, "Dynamic Threshold MOSFET for

Ultra-Low Voltage VLSI", IEEE Trans. on Electron Devices, Vol.44, No.3, pp.414-422(1997)

5) 柿本誠三他, "超低消費電力LSIのためのCMOSデバイス技術", シャープ技報, 第79号, pp.16-21(2001)

6) T.Tanaka et al, "High Frequency Characteristics of Dynamic Threshold Voltage MOSFET under Ultra-Low Supply Voltage", IEICE, Trans. Electron. Vol.E82-C, No.3, pp.538-543(1999)

7) F.Assaderaghi et al, "A Dynamic Threshold Voltage MOSFET for Very Low Voltage Operation", IEEE Electron Device Letters, Vol.15, No.12, pp.510-512(1994)

8) N.Lindert et al, "Dynamic Threshold Pass-Transistor Logic for Improved Delay at Lower Power Supply Voltages", Journal of Solid-State Circuits, Vol.34, No.1, pp.85-89(1999)

9) J.M.Daga, D.Auvergne, "A Comprehensive Delay Macro Modeling for Submicrometer CMOS Logics", Journal of Solid-State Circuits, Vol.34, No.1, pp.42-55(1999)

10) T.Sakurai, A.R.Newton, "Alpha-Power Law MOSFET Model and its Applications to CMOS Inverter Delay and Other Formulas", Journal of Solid-State Circuits, Vol.25, No.2, pp.584-594(1990)

The Approximate Delay Equations of DTMOS Circuits

— In the Case of Slow Input —

Keikichi Tamaru and Takuro Ikeda*

*Department of Electronic Engineering, Faculty of Engineering,
Okayama University of Science*

Ridai-cho 1-1, Okayama 700-0005, Japan

**Matsushita Systems and Technology Co. Ltd
Shiromi 1-3-7, Tyuuouku, Osaka 540-6321, Japan*

(Received November 7, 2003)

The increase of power consumption in VLSI becomes very serious problems in the area of both cooling of chips and battery life of portable devices. To reduce the dynamic power of VLSI, the reduction of supply voltage is effective but it occurs the degradation of operation speed. To improve the operation speed, the reduction of threshold voltage of MOSFET is effective, but it occurs the increase of subthreshold leak power. To obtain the solution of these problems, the trade-off of low dynamic power, high operation speed and low leak power, the dynamic threshold MOS (DTMOS) circuit is proposed. In DTMOS circuits the gate of MOSFET is directly connected to body and the threshold voltage can be changed according to the gate voltage. That means in the operation state the threshold voltage of high gate voltage MOSFET becomes low and in the standby state the threshold voltage of low gate voltage MOSFET becomes high. This circuit has very attractive characteristics for the low voltage circuits but is not used widely because the simple design formula is not developed for the evaluation of circuits operation. This paper shows the approximate delay equations of DTMOS and level shift DTMOS circuits. The results of comparison of these equations to SPICE simulation show that the practical approximation values of delay can be obtained using these equations and these equations is useful for the design of DTMOS circuits.