

# 低電圧電流形センスアンプ回路における MOSトランジスタサイズの影響（２）

石 川 尚 道・多 田 昭 晴\*

岡山理科大学大学院工学研究科修士課程情報工学専攻

\*岡山理科大学工学部情報工学科

（1997年10月6日 受理）

## 1. ま え が き

マイコンや民生機器に使用されている LCD 駆動制御回路を内臓した 8 ビットマイコン内の ROM のセンスアンプには従来、差動形センスアンプ<sup>1)2)</sup>を使用していたがチップ面積が大きく、消費電流が大きい。これに対して電流形センスアンプ回路は、低消費電力、チップ面積小を期待できる。

前回の『低電圧電流形センスアンプ回路における MOS トランジスタサイズの影響』では、トランジスタのサイズ（ゲート長： $L$ ，ゲート幅： $W$ ）を変更することにより、1.6V までは動作可能という研究成果を得た。

今後、市場の拡大が期待される携帯機器では低電圧化，低消費電力化を図ることで，よりバッテリーの寿命を長くすることが望まれる<sup>3)4)</sup>。

本研究では1.0V動作を目的とし、デバイスパラメータとトランジスタサイズを変更する。ROMについては、実験的に書き換えを行なうため紫外線消去可能な EPROM を使用した。

## 2. 電流形センスアンプ仕様

図 1 に今回検討した電流形センスアンプ回路を図 2 に入力信号と正常動作出力を示す。まず，入力信号が 0 ～ 250 ns までの間について考える。この区間ではリード信号が“L”，セクタ信号が“H”，ワード信号が“L”となっている。この状態のとき M5Tr と M6Tr は ON となり，ビットラインを選択し，EPROM メモリーセル部へ電流がチャージされる。この時の出力は“L”である。

続いて，入力波形図の 250 ns ～ 500 ns までの間ではリード信号が“H”，セクタ信号が“H”，ワード信号が“H”となっている。この状態ではすでにメモリーセル部へのチャージは終わっているのでワード信号が“H”となり，M7Tr が ON になり，出力は“H”となる。

更に，リード信号とセクタ信号はそのままで，ワード信号が 0 ns で“H”それ以降は“L”という状態の時（セルにデータが書込まれているとき）についても誤動作が起きな

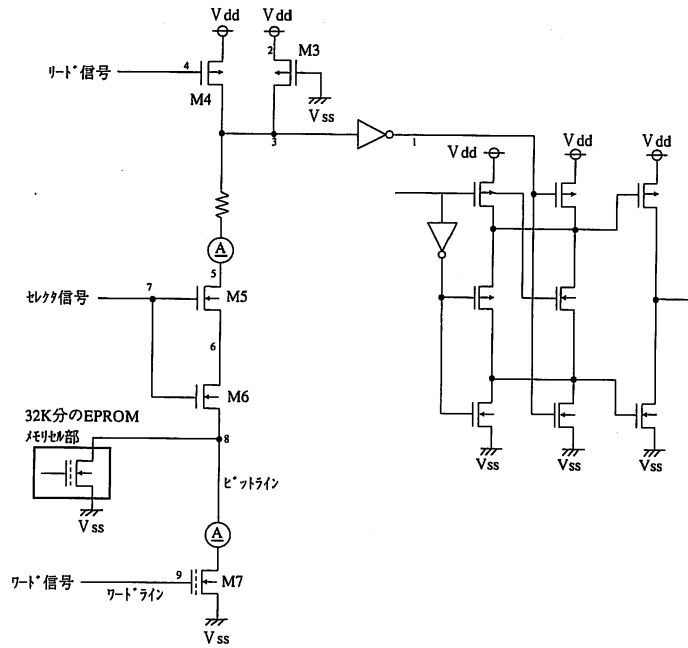


図1 電流センス型センスアンプ回路

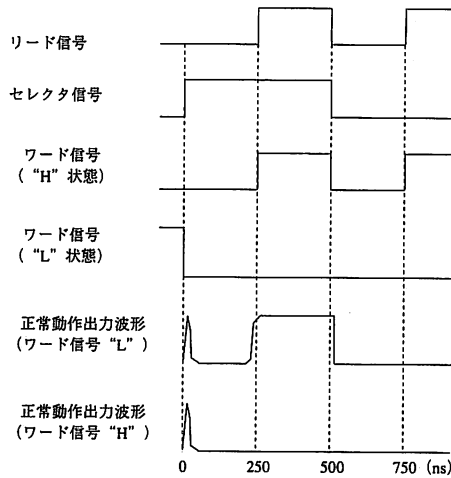


図2 各部の入力信号と正常動作時出力

いかシミュレーションする。

### 3. デバイスパラメータについて

前回使用した LEVEL 3 のデバイスパラメータを表 1 に示す。

今回用いた LEVEL 4 のデバイスパラメータにどのようなものがあるかを表 2 に示す。

表 1 LEVEL 3 のデバイスパラメータ

Parameter	Description	Parameter	Description
LEVEL	Model selector	LEFF	Reference length
TOX	Oxide thickness	WEFF	Reference width
COX	Oxide capacitance	CAPMOD	Capacitance model selector
NSUB	Substrate doping	XQC	Gate-oxide capacitance charge model flag
GAMMA	Bulk threshold parameter	CGDO	Gate-drain overlap capacitance
PHI	Surface potential	CGSO	Gate-source overlap capacitance
VTO	Zero-bias threshold voltage	CGBO	Gate-bulk overlap capacitance
UO	Bulk mobility	CJ	Zero-bias area cap. per junction area
VMAX	Maximum drift velocity of carriers	VJ	Bottom junction built-in potential
THETA	Mobility modulation	MJ	Bottom junction bottom grading coeff.
ETA	Static feedback	FC	Forward-bias depletion junction cap. coeff.
KAPPA	Saturation field factor	CJSW	Zero-bias sidewall cap. per junction perimeter
DELTA	Narrow width threshold adjusting factor	CJGATE	Gate edge capacitance
KP	Transconductance parameter	VJSW	Sidewall junction built-in potential
ACM	Area calculation method	MJSW	Sidewall junction grading coefficient
RD	Drain ohmic resistance	FCSW	Forward-bias depletion cap. coeff.
RS	Source ohmic resistance	CBD	Zero-bias B-D junction capacitance
RDC	Drain contact resistance	CBS	Zero-bias B-S junction capacitance
RSC	Source contact resistance	KF	Flicker noise coefficient
RSH	Sheet resistance	AF	Flicker noise exponent
IS	Bulk junction saturation current	NLEV	Noise model selector
N	Bulk diode emission coefficient	BULK	Places a bias across the substratenode
NDS	Reverse bias slope factor	TEMPLEV	Temperature model selector
VNDS	Reverse slope transition voltage	TEMPLEV	Junction capacitance temp. model selector
JS	Bulk junction saturation current per unit area	EG	Energy gap at T=OK
JSW	Sidewall junction saturation current per periphery length	GAP1	Energy gap temperature correction factor
NSS	Surface state density	GAP2	Energy gap temperature correction factor
NFS	Fast surface state density	BEX	Temperature exponent for mobility
TPG	Type of gate material	TCV	Threshold voltage temperature coefficient
DEL	Channel length reduction	TRD1	First temperature coefficient for drain resistor
XJ	Metallurgical junction depth	TRD2	Second temperature coeff. for drain resistor
LD	Lateral diffusion for length	TRS1	First temperature coeff. for source resistor
WD	Lateral diffusion for width	TRS2	Second temperature coeff. for source resistor
LDIF	Lateral diffusion beyond the gate	TCJ	Junction bottom capacitance temperature coeff.
HDIF	Heavily doped diffusion length	TCJSW	Junction sidewall capacitance temp. coefficient
XL	Masking and etching effetc on L	TVJ	Junction potential temperature coefficient
XW	Masking and etching effetc on W	TVJSW	Junction potential temperature coefficient
ALPHA	Impact ionization current coefficient	XTI	Saturaton current exponent
LALPHA	ALPHA length sensitivity	PTC	Femi potential temperature coefficient
WALPHA	ALPHA width sensitivity	TMJ1	First order temperature coefficient for MJ
VCR	Critical voltage	TMJ2	Second order temperature coefficient for MJ
LVCR	VCR length sensitivity	TMJSW1	First order temperature coefficient for MJSW
WVCR	VCR width sensitivity	TMJSW2	Second order temperature coeff. for MJSW
IIRAT	Ratio of source impact ionization current to total impact ionization current	TNOM	Nominal temperature

#### 4. シミュレーション内容

1.0Vで動作するように(1)～(5)の内容を Silvaco 社の Smart Spice により検証する。

(1) しきい値を低く抑えることにより、より低電圧で動作させる。

LEVEL 4 の場合しきい値は以下の式で表わされる。

$$v_{th} = VFB_{eff} + \Phi_{eff} + \gamma \cdot (\Phi_{eff} - v_{bs})^{1/2} - \eta \cdot v_{bs}$$

ここで

$$\gamma = K1_{eff} - K2_{eff} \cdot (\Phi_{eff} - v_{bs})^{1/2}$$

$$\eta = ETA_{eff} + X2E_{eff} \cdot v_{bs} + X3E_{eff} \cdot (v_{bs} - VDDM)$$

したがって、LEVEL 4 のデバイスパラメータの中の VFB, PHI, K1, K2, ETA, X2E, X3E を変更することによりしきい値を変化させ1.0Vで動作するようにする。その様子を図3に示す。しきい値が変化している様子がわかる。

表2 LEVEL4 のデバイスパラメータ

Parameter	Description	Parameter	Description
VFB	Flat-band voltage	RD	Drain ohmic resistance
LVFB	Length dependence of VFB	RS	Source ohmic resistance
WVFB	Width dependence of VFB	RDC	Drain contact resistance
PHI	Surface inversion potential	RSC	Source contact resistance
PLPHI	Length dependence of PLHI	RSH	Sheet resistance
WPHI	Width dependence of PHI	IS	Bulk junction saturation current
K1	Body effect coefficient	N	Bulk diode emission coefficient
LK1	Length dependence of K1	JS	Bulk junction saturation current per unit area
WK1	Width dependence of K1	JSW	Sidewall junction saturation current per periphery length
K2	Drain/source depletion charge sharing coefficient	NDS	Slope factor for reverse bias
LK2	Length dependence of K2	VNDS	Voltage transition point for reverse bias
WK2	Width dependence of K2	XJ	Metallurgical junction depth
ETA	Zero-bias drain-induced barrier lowering coefficient	DL	Shortening of channel
LETA	Length dependence of ETA	DW	Narrowing of channel
WETA	Width dependence of ETA	LD	Lateral diffusion for length
MUZ	Mobility at vds=0	WD	Lateral diffusion for width
LMUZ	Length dependence of MUZ	LDIF	Lateral diffusion beyond the gate
WMUZ	Width dependence of MUZ	HDIF	Heavily doped diffusion length
MUS	Mobility at vds=VDD	XL	Masking and etching effects on L
LMUS	Length dependence of MUS	XW	Masking and etching effects on W
WMUS	Width dependence of MUS	ALPHA	Impact ionization current coefficient
U0	Zero-bias transverse-field mobility degradation coefficient	LALPHA	ALPHA length sensitivity
LU0	Length dependence of U0	WALPHA	ALPHA width sensitivity
WU0	Width dependence of U0	VCR	Capacitance model selector
U1	Longitudinal field mobility reduction coefficient	LVCR	VCR length sensitivity
LU1	Length dependence of U1	WVCR	VCR width sensitivity
WU1	Width dependence of U1	CAPMOD	Capacitance model selector
X2MZ	Sensitivity of mobility to substrate bias	XPART	Gate-oxide capacitance charge model flag
LX2MZ	Length dependence of X2MZ	CGDO	Gate-drain overlap capacitance per meter of channel width
WX2MZ	Width dependence of X2MZ	GGSO	Gate-source overlap capacitance per meter of channel width
X2E	Sensitivity of drain-induced barrier lowering effect to substrate bias	CGBO	Gate-bulk overlap capacitance per meter of channel width
LX2E	Length dependence of X2E	CJ	Zero-bias area cap. per junction area
WX2E	Width dependence of X2E	VJ	Area junction built-in potential
X3E	Sensitivity of drain-induced barrier lowering effect to drain bias	MJ	Area junction bottom grading coeff.
LX3E	Length dependence of X3E	FC	Coefficient for the forward-bias depletion junction capacitance formula
WX3E	Width dependence of X3E	CJSGW	Zero-bias sidewall cap. per junction perimeter
X2U0	Sens. of transverse field mobility degradation effect to substrate bias	CJGATE	Gate edge capacitance
LX2U0	Length dependence of X2U0	VJSGW	Sidewall junction built-in potential
WX2U0	Width dependence of X2U0	MJSGW	Sidewall junction grading coefficient
X2U1	Sensitivity of velocity saturation effect to substrate bias	FCSW	Coefficient for forward-bias depletion sidewall capacitance formula
LX2U1	Length dependence of X2U1	CBD	Zero-bias B-D junction capacitance
WX2U1	Width dependence of X2U1	CBS	Zero-bias B-S junction capacitance
X2MS	Sens. of mobility to substrate bias at VDS=VDD	KF	Flicker noise coefficient
LX2MS	Length dependence of X2MS	AF	Flicker noise exponent
WX2MS	Width dependence of X2MS	NLEV	Noise model selector
X3MS	Sensitivity of mobility to drain bias at VDS=VDD	BULK	Default bulk node connection
LX3MS	Length dependence of X3MS	TEMPLEV	Temperature model selector
WX3MS	Width dependence of X3MS	TEMPLEV	Junction capacitance temperature model selector
X3U1	Sens. of velocity saturation effect on drain bias at VDS=VDD	EG	Energy gap at T=0K
LX3U1	Length dependence of X3U1	GAP1	Energy gap temperature correction factor
WX3U1	Width dependence of X3U1	GAP2	Energy gap temperature correction factor
TOX	Gate oxide thickness	BEX	Temperature exponent for mobility
COX	Oxide capacitance	TCV	Threshold voltage temperature coeff.
VDD	Measurement drain bias range	TRD1	First temp. coeff. for drain resistor
N0	Zero-bias subthreshold slope coefficient	TRD2	Second temp. coeff. for drain resistor
LN0	Length dependence of N0	TRS1	First temp. coeff. for source resistor
WN0	Width dependence of N0	TRS2	Second temp. coeff. source resistor
NB	Sens. of subthreshold slope-substrate bias	TCJ	Junction bottom capacitance temp. coeff.
LNb	Length dependence of NB	TCJSW	Junction sidewall capacitance temp. coeff.
WNB	Width dependence of NB	TVJ	Junction potential temperature coeff.
ND	Sens. of subthreshold slope-drain bias	TVISW	Junction potential temperature coeff.
LND	Length dependence of ND	XTI	Saturation current exponent
WND	Width dependence of ND	PTC	Fermi potential temperature coefficient
WDF	Source drain junction default width	TMJ1	First order temperature coeff. for MJ
DELL	Compatibility parameter, not used	TMJ2	Second order temperature coeff. for MJ
SUBCUR	VGS limiter for subthreshold current calculation	TMJSW1	First order temp. coeff. for MJSW
UPDATE	Model equation update selector flag	TMJSW2	Second order temp. coeff. for MJSW
ACM	Area calculation method	TNOM	Nominal temperature
GEO	Geometry selector for ACM=3		

## (2) M4Tr サイズの最適化

M4Tr の  $\beta$  を小さくしてチャージスピードを遅らせ、ノイズの発生を抑える

M4Tr の W/L の値を小さくしていったところ、

W/L = 0.155 までは正常動作可能

## (3) M3Tr サイズの最適化

M3Tr の  $\beta$  を小さくして消費電流を抑える

M3Tr の W/L の値を小さくしていったところ、

W/L = 0.147 までは正常動作可能

W/L に対する消費電流の様子図4に示す。

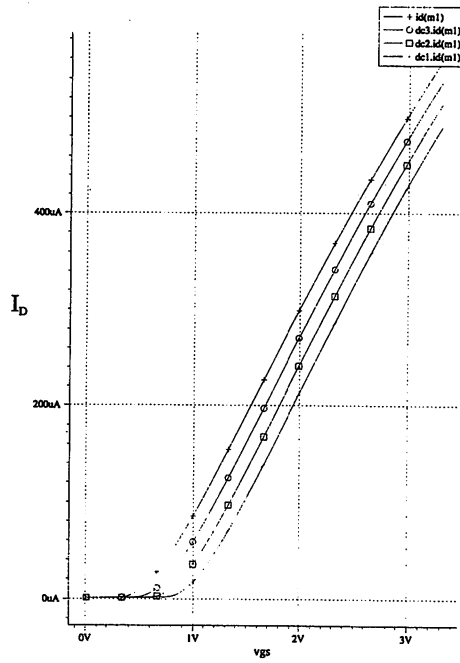


図3 しきい値のシミュレーション結果

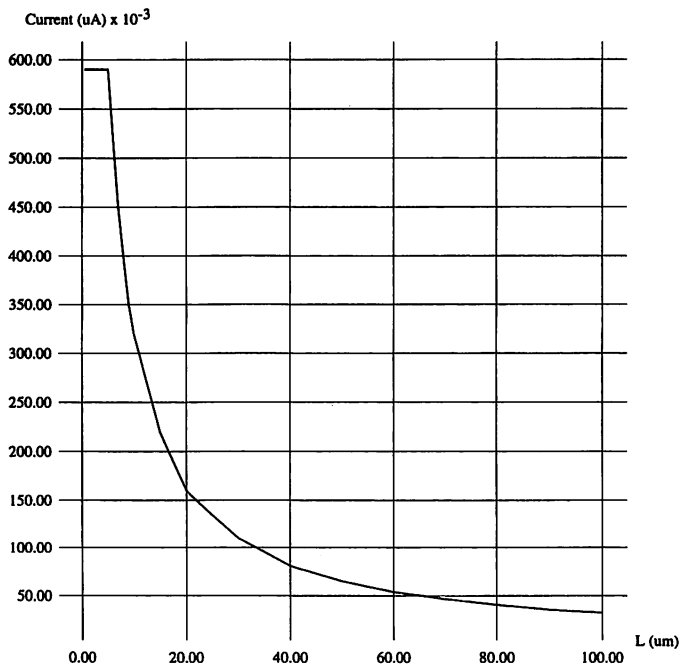


図4 DC特性のシミュレーション結果

- (4) 温度を  $-20^{\circ}\text{C} \sim 100^{\circ}\text{C}$  まで変化させる。

温度については  $-20^{\circ}\text{C} \sim 100^{\circ}\text{C}$  の間では正常動作を確認した。

- (5) スピードについて

今回は  $4\text{Mz}$  での動作しか確認しなかったが今回はどうか

$8\text{Mz}$  では動作可能。

図 5 に、M4Tr の  $W/L=0.155$ , M3Tr の  $W/L=0.147$ , 温度  $=27^{\circ}\text{C}$ , 動作速度  $=8\text{Mz}$  の時のシミュレーション結果を示す。

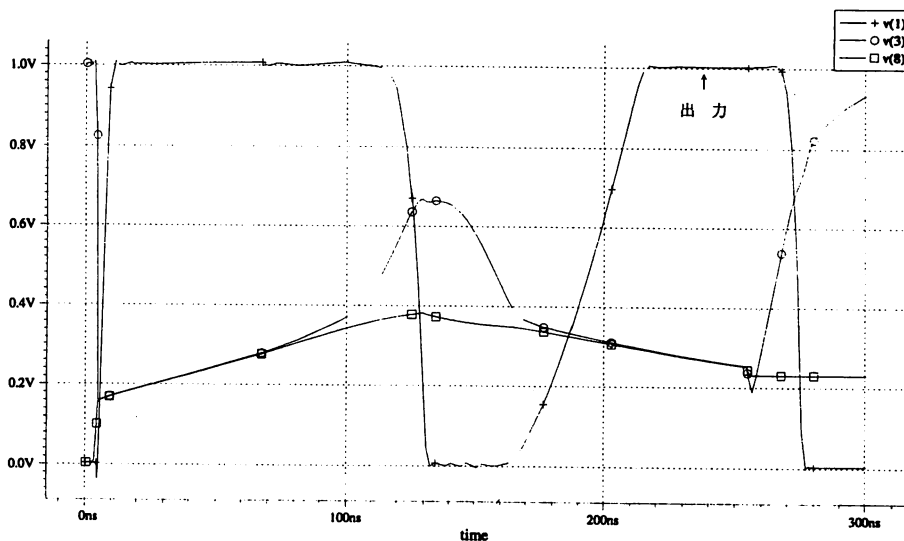


図 5 最適条件のシミュレーション結果

## 5. ま と め

M4Tr の  $W/L$  を  $0.155$ , M3Tr の  $W/L$  を  $0.147$  にすることにより動作電圧  $1.0\text{V}$ , 消費電流  $0.32\mu\text{A}$ , 動作速度  $8\text{Mz}$ , 動作温度  $-20^{\circ}\text{C} \sim 100^{\circ}\text{C}$  で正常動作することが確認できた。

表 3 に、前回（低電圧電流形センスアンプ回路における MOS トランジスタサイズの影響）と今回のシミュレーション結果を比べたものを示す。

表 3 シミュレーション結果の比較

動作電圧	1.6V	1.0V
消費電流	11 $\mu$ A	0.32 $\mu$ A
動作速度	4 Mz	8 Mz
温度	27℃のみ確認	-20℃～100℃
デバイスパラメータ	LEVEL3	LEVEL4

## 参考文献

- 1) 柴田信太郎：TECHNICAL REPORT OF IEICE ICD **95-28**, pp. 39-46, Jun. 1995.
- 2) 柴田信太郎：電子通信学会論文誌 Vol. **J78-C-II** No. **9**, pp. 478-481, Sep. 1995.
- 3) 石川尚道・多田昭晴：岡山理科大学紀要第32号No. **32**, pp. 113-119, Mar. 1997.
- 4) 石川尚道・多田昭晴：電気・情報関連学会中国支部第47回連合大会講演論文集, p. 216, Oct. 1996.

## Effects of MOS Transistor Size in Current Sense Amplifier for Low-voltage Memories (2)

Naomichi ISHIKAWA and Akiharu TADA\*

*Graduate School of Engineering*

*\*Department of Information and Computer Engineering*

*Faculty of Engineering,*

*Okayama University of Science,*

*Ridai-cho 1-1, Okayama 700-0005, Japan*

(Received October 6, 1997)

Conventional ROM'S sense amplifiers used differential sense amplifier, but it is large chip area and power. Current sense amplifier can expect low-voltage and reducing chip area.

Last reseach "Effect of MOS Transistor Size in Current Sense Amplifier for Low-voltage Memories" resulted that the targetcircuit could run at 1.6-volt by changing transistor size.

After this,field of portable appliance demand low-voltage and low-power. In this paper, we have tried to change transistor size and device parameter to run at 1.0-volt. This circuit used EPROM that can erase by Ultraviolet rays to rewrite in experiment.