

# 低電圧マルチポート RAM のトランジスタサイズの影響

三道 一弘・石川 尚道\*・多田 昭晴\*\*

岡山理科大学大学院工学研究科修士課程情報工学専攻

\*岡山理科大学大学院工学研究科修士課程情報工学専攻

\*\*岡山理科大学工学部情報工学科

(1997年10月6日 受理)

## 1. まえがき

マイクロプロセッサや DSP の性能向上には低電圧・高速動作のメモリーが要求される。また、今後市場の拡大が見込まれるマルチメディアの分野においても、バッテリー駆動させる携帯機器では、低電圧化を図り消費電力を抑えることでバッテリーの寿命を長くする事が要望されている。マルチポート RAM (MPRAM) を用いると複数の経路から同時にデータを書き込んだり読み出したり出来るので、並列動作が可能になり、より高速化が実現出来る。

本研究では MPRAM を低電圧動作化した場合にトランジスタサイズ (ゲート長:  $L$ , ゲート幅:  $W$ ) が動作速度にどのように影響を与えるかを SPICE シミュレーションにより解析し、より高速動作するようにトランジスタサイズの最適化をはかる。

## 2. MPRAM の動作

### 2.1 MPRAM のメモリセルの動作

図 1 に MPRAM のメモリセルを示す。この回路は、シングルポート RAM に 2 つの NMOS トランジスタ  $Q_7$ ,  $Q_8$  を付け加えたものにし、読み出しと書き込みをそれぞれ別のワー

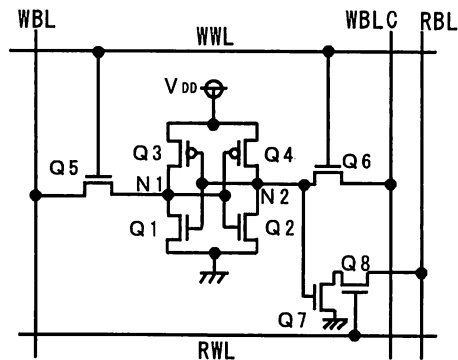


図 1 MPRAM のメモリセル

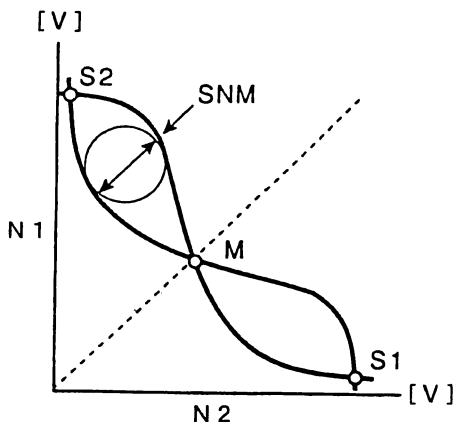


図2 読み出し時の伝達特性

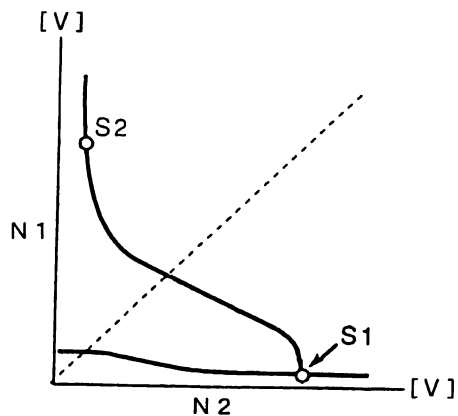


図3 書き込み時の伝達特性

ド線、ビット線を用いて行えるようにしたものであり、そのため読み出し用と書き込み用のデコーダがありそれぞれ独立して動作する。

メモリセルが正しく動作するためには、データ読み出し時に、クロスカップリングさせたインバータ対が双安定状態を持たねばならない。図2にインバータの入出力伝達特性曲線を45度の線に対称に反転させて、元の特性図に重ね合わせ、クロスカップリングさせたインバータ対の読み出し時の伝達特性を示す。

また、書き込み時には、積極的にメモリセルを単安定状態にすることでデータを書き換える。図3に書き込み時の伝達特性を示す。最初セルがS2で安定していた、すなわちN1が“L”レベル、N2が“H”レベルであるとする。これと逆のデータ、N1が“H”レベル、N2が“L”レベルにするためにはアクセストランジスタをONすなわちワード線をONにした後、WBLC線側を強くプルダウンする。これにより安定点はS1だけの単安定状態になり、データが書き変わる。書き込みを終了するためプルダウンをやめる(このときまだワード線はONである)と、状態はS1点に遷移して安定する。

## 2.2 MPRAM の動作

図4にMPRAMの回路を示す。

書き込み時の回路動作はまず、T0の電圧レベルが“0”になり書き込み用アドレスにより1つのメモリセルが選択される。この時DIに入力された“0”または“1”がWBL、WBLCへ伝わりメモリセルに“0”または“1”が書き込まれる。

読み出し時の回路動作はまず、T1の電圧レベルが“0”になり読み出し用アドレスにより1つのメモリセルが選択されると同時にRBLへのプリチャージがカットされる。この時N2に保持されているデータがRBLへと出てくる。このデータがセンスアンプを通りDOへ出力され読み出される。

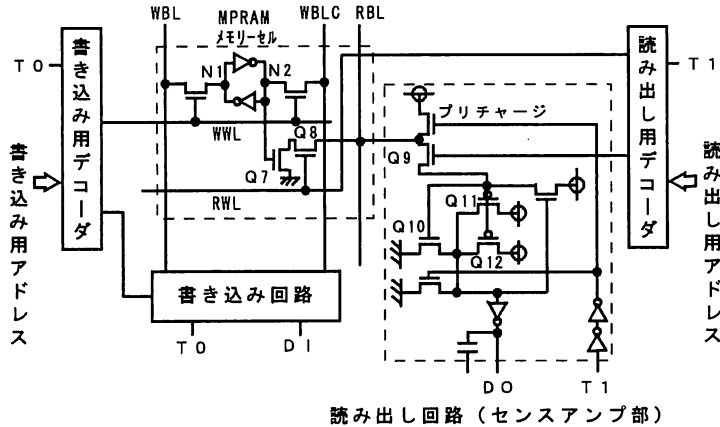


図4 MPRAM の回路

### 3. シミュレーション

#### 3.1 メモリセルの DC 特性の最適化

図1に示した回路を用いて、MPRAMのメモリセルを1.5Vの低電圧で最も安定して動作させるために、回路内のドライバトランジスタQ1・Q2とアクセストランジスタQ5・Q6のサイズを変化させて最も安定して動作するトランジスタサイズの最適サイズを得る。安定動作か否かの判定方法を以下に示す。

- (1) WBLC 線電圧を1.5V から双安定動作が保たれる限界まで下げていく。
- (2) アクセストランジスタがON時は(1)の電圧がノイズマージンを0.3V考慮して0.7V以下ならば安定動作と判定。
- (3) 書き込み時は(1)の電圧がノイズマージンを0.3V考慮して0.7V以上ならば安定動作と判定。

以上の判定方法では(1)の電圧が0.7Vの時しか判定条件を満たさず、この条件を満たしたトランジスタサイズが最適なサイズとなる。

表1に1.5V動作時のトランジスタサイズによる動作状況を示す。MPRAMのメモリセルが1.5Vで安定に動作するようなトランジスタサイズは、図1の回路内のドライバトラン

表1 1.5V動作時のトランジスタサイズによる動作状況

条 件	1	2	3	4
ドライバ Tr. W/L	3.43	2.88	2.29	2.29
アクセス Tr. W/L	2.29	2.88	3.43	4.29
双安定・単安定境界 WBLC 線電圧	0.3V	0.4V	0.5V	0.7V
読み出し	○	○	○	○
書き出し	×	×	×	○

表2 初期状態のトランジスタサイズ  $W/L$ 

Q 7	Q 8	Q 9	Q 10	Q 11	Q 12
2.0	3.0	12.0	3.0	6.0	6.0

表3 初期状態の動作速度

動作電圧 (V)	動作速度 (ns)			
	T 1 → RWL	RWL → RBL	RBL → DO	T 1 → DO
3.3	1.26	2.77	1.22	5.26
3.0	1.37	3.00	1.41	5.78
2.7	1.53	3.31	1.53	6.37
2.4	1.75	4.08	1.83	7.66
2.1	2.11	4.91	1.98	9.00
1.8	2.69	6.49	3.49	12.66
1.5	3.96	10.45	4.28	18.69
1.2	8.21	22.12	8.99	39.32

表4 高速化後のトランジスタサイズ  $W/L$ 

Q 7	Q 8	Q 9	Q 10	Q 11	Q 12
5.0	5.0	12.0	2.0	9.0	9.0

表5 高速化後の動作速度

動作電圧 (V)	動作速度 (ns)			
	T 1 → RWL	RWL → RBL	RBL → DO	T 1 → DO
3.3	1.31	1.59	1.88	3.78
3.0	1.43	1.74	1.94	4.12
2.7	1.59	1.97	1.07	4.63
2.4	1.83	2.36	1.33	5.52
2.1	2.20	2.94	1.58	6.76
1.8	2.82	3.83	2.02	8.67
1.5	4.19	6.26	3.40	13.84
1.2	8.80	13.53	6.71	29.04

ジスタQ 1・Q 2のサイズ  $W/L$  (対称であるので同一サイズ) と、アクセストランジスタQ 5・Q 6のサイズ  $W/L$  (同一サイズ) をそれぞれ2.29と4.29としたときであることが確認できた。

### 3.2 MPRAM の動作速度の高速化

本研究では、図4に示すMPRAMの回路を用い、動作電圧を3.3V から1.2V まで0.3V 刻みで変化させた場合のAC特性シミュレーションにより高速動作するようにトランジ

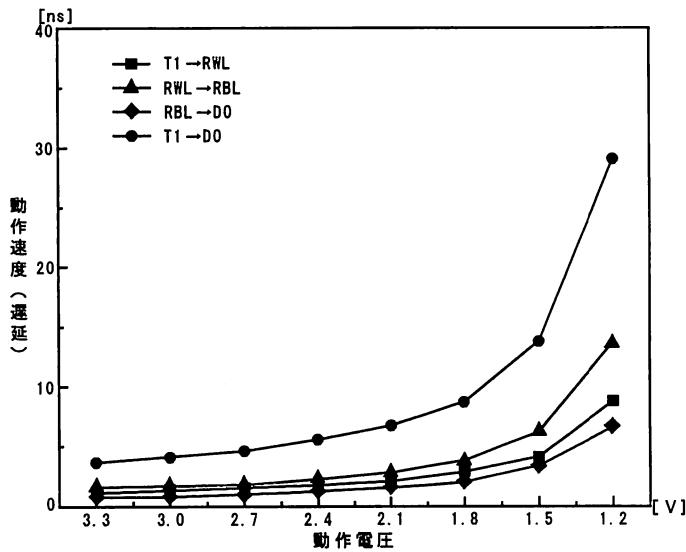


図5 高速化後の動作速度

スタサイズを最適化する。

MPRAM の回路の初期状態のトランジスタサイズを表 2 に示し、この状態での動作速度を表 3 に示す。また、この状態で動作電圧 3.3V 時の遅延が、書き込み時が 2.33ns、読み出し時が 5.37ns である。書き込み時間に対して読み出し時間が非常に遅く動作速度の高速化の妨げになっている事が分かる。これは、書き込みに対し 2 つの多くのトランジスタを介してから、読み出しを行っているからであり、この方式のセルを用いたマルチポート RAM では、やむおえないことである。

よって読み出し動作に関わる回路中の Q 7 ~ Q 12 のトランジスタサイズを変化させて、T 1 → RWL, RWL → RBL, RBL → DO の 3 つの部分遅延と T 1 → DO の全体の遅延を調べ、高速動作を行った結果、表 4 に示すトランジスタサイズで、表 5 に示す動作速度が実現できた。

#### 4. ま と め

メモリセルの DC 特性の最適化では、ドライバトランジスタ Q 1 ・ Q 2 のサイズ  $W/L$  を 2.29, アクセストランジスタ Q 5 ・ Q 6 のサイズ  $W/L$  を 4.29 としたときに最も安定なメモリセルが得られた。

MPRAM の動作速度の高速化では、図 5 に示す動作速度が得られ、1.5V 動作で動作速度 13.84n が実現できた。

## 参考文献

- 1) 鈴木八十二編著, “半導体 MOS メモリとその使い方”, 日刊工業新聞社, Aug. 1990.
- 2) 菅野卓雄監修・青山 晋編, “超高速 MOS デバイス”, 培風館, Feb. 1986.
- 3) ポール.W.トゥネンガ著・松本敏之訳, “SPICEによる電子回路設計入門”, CQ 出版, Dec. 1990.
- 4) 西久保靖彦著, “回路シミュレータ SPICE 入門”, 日本工業技術センター.
- 5) 江刺正喜著, “半導体集積回路設計の基礎”, 培風館, Feb. 1986.
- 6) 柳井久義・永田 攘共著, “集積回路工学(1)”, コロナ社, Apr. 1979.
- 7) 柳井久義・永田 攘共著, “集積回路工学(2)”, コロナ社, Jun. 1979.

## The Effects of Transistor Size for Low-voltage Multi Port RAM

Kazuhiro SANDOH, Naomichi ISHIKAWA\* and Akiharu TADA\*\*

*Graduate School of Engineering*

*\*Graduate School of Engineering*

*\*\*Department of Information and Computer Engineering*

*Faculty of Engineering,*

*Okayama University of Science,*

*Ridai-cho 1-1, Okayama 700-0005, Japan*

(Received October 6, 1997)

The increase of performance in microprocessors and digital signal processors requires high-speed and low-voltage. In the portable appliance of battery drive, it was demanded that we should try reducing voltage. Multi Port RAM has become one of the key elements for LSI, because it allows simultaneous access from multiple resources and the parallel operations can do a high system throughhput.

This paper purpose low-voltage and high-speed, optimize transistor size in Multi Port RAM by SPICE simulation.