

低電圧電流形センスアンプ回路における MOSトランジスタサイズの影響

石川尚道・多田昭晴*

岡山理科大学大学院工学研究科修士課程情報工学専攻

*岡山理科大学工学部情報工学科

(1996年10月7日 受理)

1. まえがき

LSIはコンピュータネットワーク等の通信、高度情報処理を支える主要なデバイスとして重要な役割を果たしている。LSIの実装密度を向上させ、装置を小型化する際に問題となるのはその発熱であり、LSIには低電力化が強く求められている。消費電力を低減するには電源電圧を下げる方法が有効である。

低電圧化はメモリLSIにとって重要な課題である。メモリセルからの読み出し信号の検出に差動形センスアンプ（カレントミラー形センスアンプ）が多く用いられるがこの回路には電源電圧近傍の入力信号に対して著しく検出感度が低下する性質がある。^{1,2)}

マイコンや民生機器に使用されているLCD駆動制御回路を内蔵した8ビットマイコン内のROMのセンスアンプには従来、差動形センスアンプを使用していたがチップ面積が大きく、消費電流が大きい。

本研究では、より低電圧・低消費電流・チップ面積小を目的とし、電流形センスアンプ回路に使用されるMOSトランジスタ（Tr）のサイズ（ゲート長： L 、ゲート幅： W ）をSPICEシミュレーションにより最適化を図る。

ROMについては、実験的に書き換えを行なうため紫外線消去可能なEPROMを使用した。

2. センスアンプ回路

2.1 センスアンプ

DRAM、マスクROMおよびEPROM等のメモリセルでは、読み出し時にビット線に取り出せる信号量は数十～数百mVと小さく、これを検出し、增幅するためのセンスアンプが必要となる。

2.2 センスアンプに要求される性能

センスアンプに要求される事項をまとめると、

- (1) 微小な電圧変化を感知できること
- (2) 動作速度が速いこと
- (3) 動作電源電圧範囲が広いこと
- (4) 消費電力が少ないとこと
- (5) 占有面積が小さいこと

があげられる。^{3,4)}

2.3 電流形センスアンプ

電流形センスアンプ回路には共通して二つの大きな特徴がある。一つは入力信号電流によって出力電圧を制御できること、すなわち“電流一電圧変換”作用である。もう一つは入力インピーダンスが極めて小さいことである。¹⁾

2.4 センスアンプの比較

今回シミュレーションで使用したセンスアンプ回路と従来までの差動形センスアンプを比較したものを表1に示す。

3. 電流形センスアンプ回路の動作

図1に今回検討した電流形センスアンプ回路を、図2に入力信号と正常動作出力を示す。

まず、入力信号が0～250nsまでの間について考える。この区間ではリード信号(PRB1)が“L”，セレクタ信号(PRB2)が“H”，ワード信号(PRB3)が“L”となっている。この状態のときM81TrとM88TrはONとなり、ピットラインを選択し、EPROMメモリーセル部へ電流がチャージされる。この時PRB4の出力は“L”である。

続いて、入力波形図の250ns～500nsまでの間ではPRB1が“H”，PRB2が“H”，PRB3が“H”となっている。この状態ではすでにメモリーセル部へのチャージは終わっているのでPRB3が“H”となり、M89TrがONになり、PRB4には“H”が出力される。

更に、PRB1とPRB2はそのまで、PRB3が0nsで“H”それ以降は“L”という状態の時(セルにデータが書込まれているとき)についても誤動作が起きないかシミュレ

表1 差動形と電流形のセンスアンプの特徴

	電 流 形	差 動 形
MERIT	回路方式が容易	高速化対応が可能
	レイアウト面積小	Vth, L, 温度に対してマージンあり
	消費電力小	
DEMERIT	温度特性に対するマージン小	回路のチューニングが難しい
	高速化対応が困難	レイアウト面積大 消費電流大

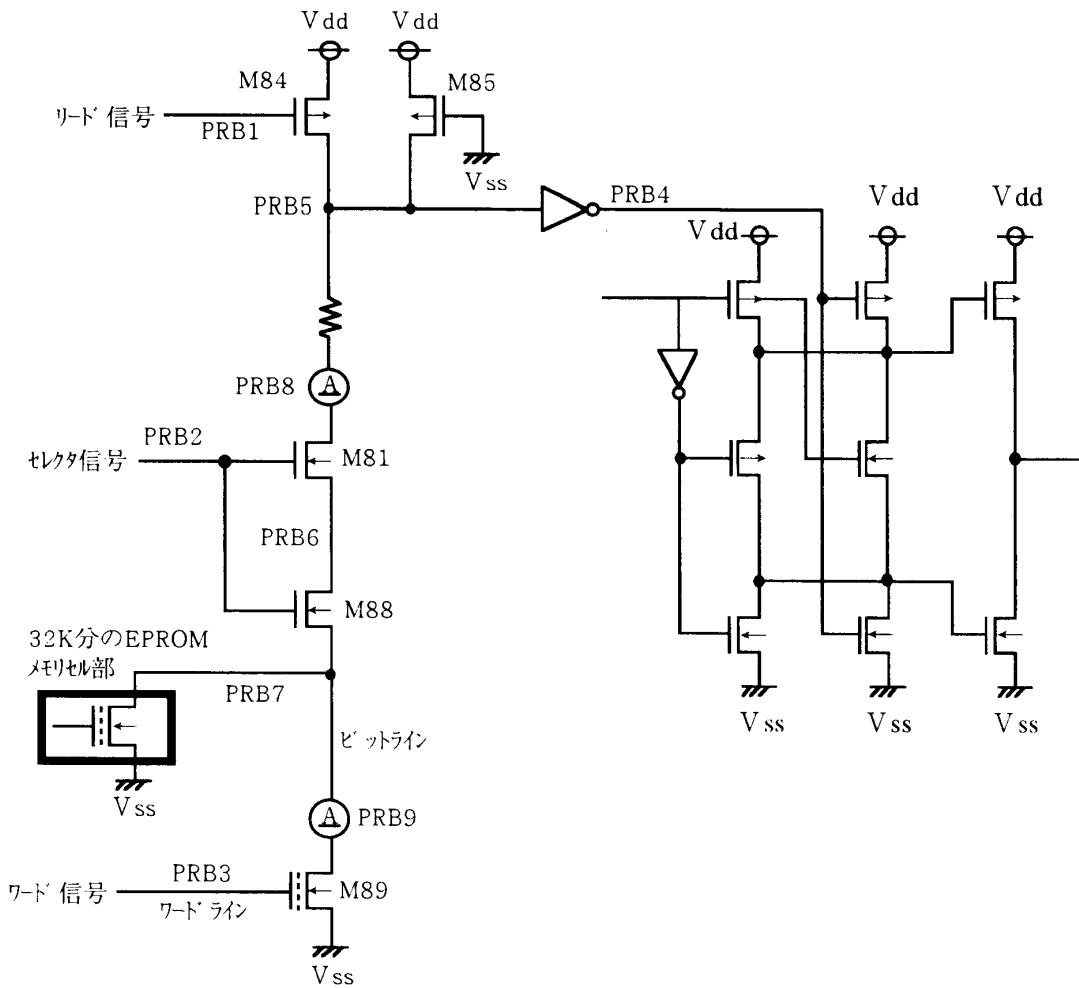


図1 電流型センスアンプ回路

ーションする。

次にメモリーセル部、入力信号、M 84 Tr, M 85 Tr およびバッファ回路についてその働きを説明する。

- メモリーセル部：ワードラインに“H”レベルの電位がかかり、任意のビットラインが選択されたときデータが読み出され、それがセンスアンプに送られる。ワードラインに“L”レベルの時は、フローティング状態になっている。
- リード信号：PRB1 が“H”の時にデータを読み出す。
- セレクタ信号：任意のビットラインを選択する。
- ワード信号：ワードラインの“H”, “L”的決定。
- M 84 Tr：この PchTr は EPROM メモリーセル部へ電流をチャージするためのものである。

M 84 Tr の β (コンダクタンス) が大きいチャージ時間が短くなるので電流は瞬間にたくさん流れ。このことはノイズを発生する原因となりやすい。そのため、 β を小さくしチャージスピードを緩める必要がある。しかし、チャージスピードを緩め過

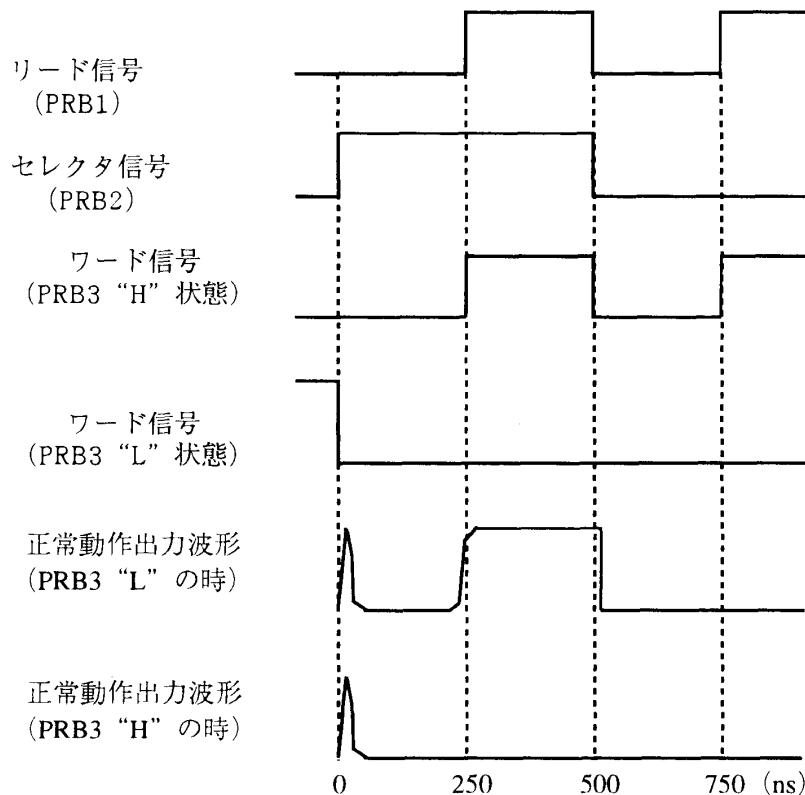


図2 各部の入力信号と正常動作出力

ぎると、PRB5 が “H” になりきれず、“H” のみ出力され、誤動作の原因となる。

- M85 Tr : この PchTr は PRB3 が OFF の時 PRB5 を “H” に保っておくためのものである。
M85 Tr の β を小さくすれば、消費電流は小さくなる。しかし、 β を小さくしすぎると、PRB3 が OFF の時、メモリーセル部がチャージしきれていないと、PRB7 の中間電位の方に引っ張られて出力が反転してしまう。(M85 Tr の β の値 < M89 Tr の β の値の時)
- バッファ回路 : このバッファ回路はブートストラップ回路とも呼ばれる。あたかも靴ひも (boot-strap) を編みあげるようにして、バッファ出力前段のロードトランジスタのゲート電位を ($V_{cc} + V_{th}$) 以上に昇圧し、バッファ出力を (高速に) V_{cc} 電位まで充電する。

4. シミュレーション結果

$V_{cc} < 1.8 \text{ V}$, $L < 10 \mu\text{m}$, $W < 10 \mu\text{m}$ という範囲で、(1)~(2)のトランジスタサイズを SPICE シミュレーションにより最適値を見い出す。

(1) M85 Tr サイズの最適化

M85 Tr の β を小さくして消費電流を抑える

但し、 L を大きくすれば β は小さくできるがその分レイアウト面積が大きくなるので

$L = 9.9 \mu m$ までしたとき

$L = 9.9 \mu m, W = 1.5 \mu m$ の時、

$V_{CC} = 1.6 V$ まで正常動作可能（表 2 参照）

(2) M84 Tr サイズの最適化

M84 Tr の β を小さくしてチャージスピードを遅らせ、ノイズの発生を抑える

$L = 0.82 \mu m, W = 1.5 \mu m$ の時、

$V_{CC} = 1.5 V$ まで正常動作可能（表 3 参照）

図 3 に(1)・(2)の最適化を計ったシミュレーション結果を示す。

PRB3 が “H” のとき 250～500 ns で PRB4 が “H” となり正常動作していることが確認できた。また、PRB3 が “L” のときも正常動作していることが確認できた。

5. まとめ

M84 Tr のトランジスタサイズを

$L = 0.82 \mu m, W = 1.5 \mu m$

M85 Tr のトランジスタサイズを

$L = 9.9 \mu m, W = 1.5 \mu m$

という条件で $1.6 V$ まで常温で正常動作することを確認した。

また、 $V_{CC} = 5 V$ の時、消費電流 = $11 \mu A$ （差動形の場合、消費電流 = $570 \mu A$ ）という

表 2 M85 Tr サイズの最適化

	最適値 ↓						
W (μm)	1.5	1.5	1.5	1.5	1.5	1.5
L (μm)	2.7	3.0	3.3	3.5	3.8	9.9
$\frac{\beta}{(\mu s/V \cdot cm^2)}$	5.0	4.5	4.1	3.8	3.5	1.4

↓ ↓
 $V_{CC} = 5 V$ の時の消費電流 = $38 \mu A$ ——————→ $11 \mu A$

表 3 M84 Tr サイズの最適化

	最適値 ↓						
W (μm)	3.1	2.8	2.6	2.3	2.0	1.7	1.5
L (μm)	0.8	0.8	0.8	0.8	0.8	0.8	0.8
$\frac{\beta}{(\mu s/V \cdot cm^2)}$	48.8	42.8	38.8	32.8	26.8	20.8	16.8

↑ 誤動作

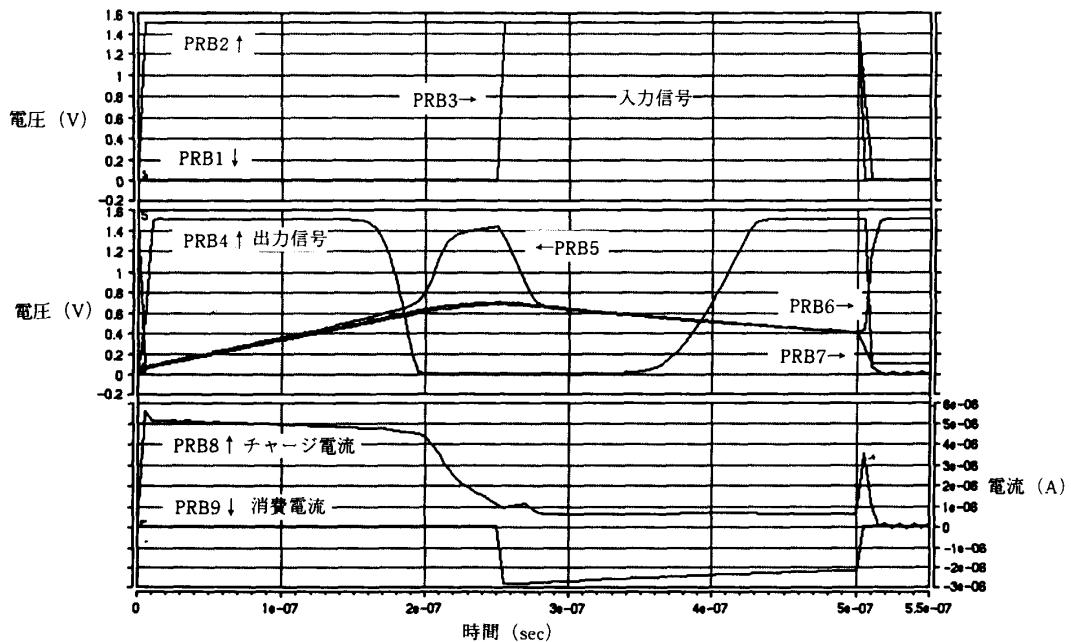


図3 シミュレーション結果

表4 電流形センスアンプ回路と差動形センスアンプ回路の比較

	差動形	電流形
Vcc	1.8V	1.6V
チップ面積比	1	1 / 3
消費電流	570 μA	11 μA

小さな値に押さえることができた。またチップ面積も約1/3に縮小できた。表4に今回検討した電流形センスアンプ回路と差動形センスアンプの比較したものを示す。

参考文献

- 1) 柴田信太郎：TECHNICAL REPORT OF IEICE ICD 95-28, pp.39-46, Jun.1995.
- 2) 柴田信太郎：電子通信学会論文誌 Vol.J78-C-II No.9, pp.473-481, Sep.1995.
- 3) 菅野卓雄監修, 飯塚哲哉著：CMOS超LSIの設計, 株式会社培風館, pp.186-191, (Apr.1989).
- 4) H.B.Bakoglu著, 中澤喜三郎・中村宏監訳：Circuit, Interconnections, and Packaging for VLSI (VLSIシステム設計), 丸善株式会社, pp.155-175, (Mar.1995).

Effects of MOS Transistor Size in Current Sense Amplifier for Low-voltage Memories

Naomichi ISHIKAWA and Akiharu TADA*

Graduate School of Engineering

** Department of Information and Computer Engineering*

Okayama University of Science,

Ridai-cho 1-1, Okayama 700, Japan

(Received October 7, 1996)

It is important theme for memory LSI to be low voltage. Differential sense amplifier (current mirror sense amplifier) is used to find reading signal from memory cell, but this circuit have fault that large tip size and large power.

This paper purpose low-voltage, low-power and reducing tip size, optimize MOS transistor size in current sense amplifier by SPICE simulation.

This circuit used EPROM that can erase by Ultraviolet rays to rewrite in experiment.